

国際調査報告

(法8条、法施行規則第40、41条)
[PCT18条、PCT規則43、44]

出願人又は代理人 の書類記号 EP-2595	今後の手続きについては、国際調査報告の送付通知様式(PCT/ISA/220)及び下記5を参照すること。	
国際出願番号 PCT/JP00/04637	国際出願日 (日.月.年) 12.07.00	優先日 (日.月.年) 15.07.99
出願人(氏名又は名称) セイコーエプソン株式会社		

国際調査機関が作成したこの国際調査報告を法施行規則第41条(PCT18条)の規定に従い出願人に送付する。
この写しは国際事務局にも送付される。

この国際調査報告は、全部で 2 ページである。

☐ この調査報告に引用された先行技術文献の写しも添付されている。

1. 国際調査報告の基礎

a. 言語は、下記に示す場合を除くほか、この国際出願がされたものに基づき国際調査を行った。

☐ この国際調査機関に提出された国際出願の翻訳文に基づき国際調査を行った。

b. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際調査を行った。

☐ この国際出願に含まれる書面による配列表

☐ この国際出願と共に提出されたフレキシブルディスクによる配列表

☐ 出願後に、この国際調査機関に提出された書面による配列表

☐ 出願後に、この国際調査機関に提出されたフレキシブルディスクによる配列表

☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった。

☐ 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記載した配列が同一である旨の陳述書の提出があった。

2. ☐ 請求の範囲の一部の調査ができない(第I欄参照)。

3. ☐ 発明の単一性が欠如している(第II欄参照)。

4. 発明の名称は ☒ 出願人が提出したものを承認する。

☐ 次に示すように国際調査機関が作成した。

5. 要約は ☒ 出願人が提出したものを承認する。

☐ 第III欄に示されているように、法施行規則第47条(PCT規則38.2(b))の規定により国際調査機関が作成した。出願人は、この国際調査報告の発送の日から1カ月以内にこの国際調査機関に意見を提出することができる。

6. 要約書とともに公表される図は、

第 10 図とする。 ☒ 出願人が示したとおりである。

☐ なし

☐ 出願人は図を示さなかった。

☐ 本図は発明の特徴を一層よく表している。

THIS PAGE BLANK (USPTO)

A. 発明の属する分野の分類、国際特許分類 (IPC)

Int. Cl⁷ H04L 12/28
H04L 29/00

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H04L 12/28
H04L 29/00

最小限資料以外の資料で調査を行った分野に含まれるもの

・ 日本国公開実用新案公報 1971-2000
日本国実用新案公報 1926-2000

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

WPI (DIALOG), JICST ファイル (JOIS)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
PA	EP, 939530, A2 (CANON K.K.) 01.09 月.1999 (01.09.99) & CN, 1234671, A & JP, 2000-32005, A & JP, 2000-32010, A & KR, 99072916, A 第8図等参照 (808:再送識別ビットの構成)	1-23
PA	EP, 1006449, A2 (CANON K.K.) 07.06 月.2000 (07.06.00) & JP 2000-172457, A (バスリセットが生じて、送信の保証を するインタフェースの例)	1-23
PA	WO, 00/25215, A1 (SEIKO EPSON CORP.) 04.05 月.2000 (04. 05.00) & JP, 2000-134229, A (RAM 上のポインタ構成など)	1-23

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

10.10.00

国際調査報告の発送日

24.10.00 -

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
郵便番号 100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

猪瀬 隆広

5X

9560

電話番号 03-3581-1101 内線 3594

THIS PAGE BLANK (USPTO)

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2001年1月25日 (25.01.2001)

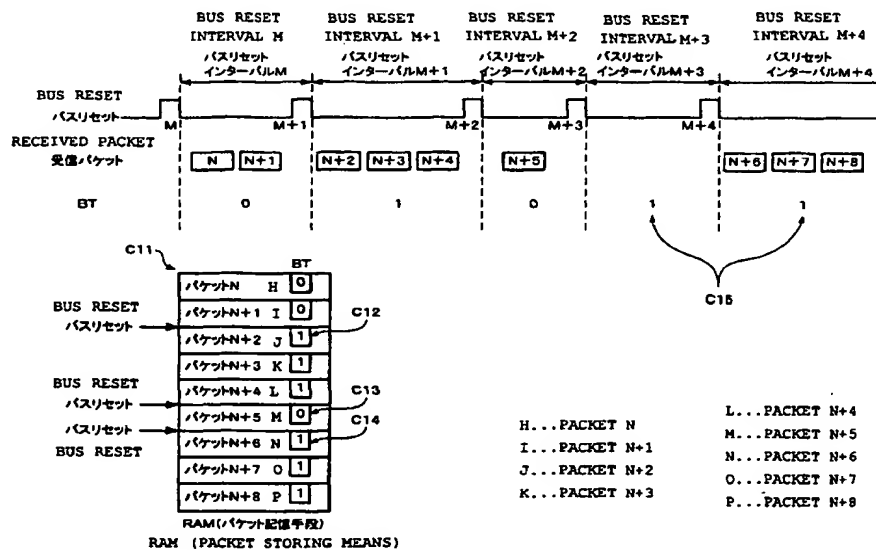
PCT

(10) 国際公開番号
WO 01/06708 A1

- (51) 国際特許分類⁷: H04L 12/28, 29/00 (ISHIDA, Takuya) [JP/JP]. 神原義幸 (KAMIHARA, Yoshiyuki) [JP/JP]; 〒392-8502 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内 Nagano (JP).
- (21) 国際出願番号: PCT/JP00/04637
- (22) 国際出願日: 2000年7月12日 (12.07.2000) (74) 代理人: 井上 一, 外(INOUE, Hajime et al.); 〒167-0051 東京都杉並区荻窪5丁目26番13号 荻窪TMビル2階 Tokyo (JP).
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語 (81) 指定国 (国内): CN, KR, US.
- (30) 優先権データ:
特願平11/201248 1999年7月15日 (15.07.1999) JP (84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).
- (71) 出願人 (米国を除く全ての指定国について): セイコーエプソン株式会社 (SEIKO EPSON CORPORATION) [JP/JP]; 〒163-0811 東京都新宿区西新宿2丁目4番1号 Tokyo (JP). 添付公開書類:
— 国際調査報告書
- (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 石田卓也 2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: DATA TRANSFER CONTROL DEVICE AND ELECTRONIC APPARATUS

(54) 発明の名称: データ転送制御装置及び電子機器



(57) Abstract: A data transfer control device capable of reducing a firmware processing load when a bus reset occurs, and an electronic apparatus using the device. An IEEE-1394-standard data transfer control device, wherein, when a received packet and the next received packet have different bus reset intervals, a bit (BT) to be toggled is generated and it is included in each header of each packet to be stored in a RAM. A bus reset pointer (bus reset header pointer, bus reset ORB pointer) is provided so as to easily discriminate between a received packet before bus reset occurring and a received packet after bus reset occurring. When transmission is halted by a bus reset occurred, a bus reset transmission halt status is sent to firmware via a register.

[続葉有]

WO 01/06708 A1



(57) 要約:

バスリセット発生時のファームウェアの処理負担を軽減できるデータ転送制御装置及びこれが用いられる電子機器を提供することが目的である。I E E E 1 3 9 4 規格のデータ転送制御装置において、受信バケットと次の受信バケットとが異なるバスリセットインターバルに受信したバケットである場合にトグルするビット B T を生成し、この B T を、R A M に記憶される各バケットの各ヘッダに含ませる。R A M 上でのバスリセットの境界を指すバスリセットポイント (バスリセットヘッダポイント、バスリセット O R B ポイント) を用意し、バスリセットの発生前の受信バケットと発生後の受信バケットとを容易に区別できるようにする。バスリセットの発生により送信が中止された場合に、バスリセット送信中止ステータスをレジスタを介してファームウェアに伝える。

明 細 書

データ転送制御装置及び電子機器

5 [技術分野]

本発明は、データ転送制御装置及びこれを含む電子機器に関し、特に、バスに接続される複数のノード間でIEEE 1394などの規格に準じたデータ転送を行うデータ転送制御装置及びこれを含む電子機器に関する。

10 [背景技術]

近年、IEEE 1394と呼ばれるインターフェース規格が脚光を浴びている。このIEEE 1394は、次世代のマルチメディアにも対応可能な高速シリアルバスインターフェースを規格化したものである。このIEEE 1394によれば、動画像などのリアルタイム性が要求されるデータも扱うことができる。また、IEEE 1394のバスには、プリンタ、スキャナ、CD-RWドライブ、ハードディスクドライブなどのコンピュータの周辺機器のみならず、ビデオカメラ、VTR、TVなどの家庭用電化製品も接続できる。このため、電子機器のデジタル化を飛躍的に促進できるものとして期待されている。

さて、このIEEE 1394においては、バスに電子機器が新たに接続されたり、バスから電子機器が取り外されたりして、バスに接続されるノードが増減すると、いわゆるバスリセットが発生する。そしてバスリセットが発生するとノードのトポロジ情報がクリアされ、その後、トポロジ情報が自動的に再設定される。即ち、バスリセットの発生後、ツリー識別（ルートノードの決定）、自己識別が行われ、その後、アイソクロナスリソースマネージャ等の管理ノードが決定される。そして通常のバケット転送が開始される。

このようにIEEE 1394では、バスリセット後にトポロジ情報が自動的に再設定されるため、いわゆるホット状態でのケーブルの抜き差し（ホットプ

ラグ)が可能となる。このため、一般ユーザは、VTRなどの通常の家庭用電化製品と同じように、電子機器へのケーブルの抜き差しを自由にできるようになり、いわゆるホームネットワークシステムの普及に役立つことができる。

しかしながら、このようなバスリセットには、以下のような問題があることが判明した。

(1) バスリセットの発生によりノードID等のトポロジ情報がクリアされるため、トランザクションの途中でバスリセットが発生した場合には、トランザクションを再度やり直す必要がある。従って、各ノードは、バスリセット発生時に、どのトランザクションが未完了であったかを判断する必要がある。

しかしながら、パケットを処理するファームウェア(CPU)の処理能力は一般的に低く、受信パケットに対する処理は、そのパケットの受信後、所与の時間が経過してから行われる。このため、多くの未処理のパケットが常に存在しており、これらの多くの未処理のパケットが、バスリセットの前後のいずれに受信したパケットなのかを区別する処理が必要になる。ところが、このような処理はファームウェアにとって負担が非常に重い。特に、バスリセット後にはノード間で非常に多くのパケットが送受信されるため、バスリセット後に受信するパケットの数は非常に多く、ファームウェアの処理負担の増加の問題は更に深刻なものとなる。

(2) ファームウェアがパケットの送信開始コマンドを発行した後にバスリセットが発生した場合、その送信は中止される。ところが、例えば送信開始コマンドの発行とバスリセットとがほぼ同時に起きた場合には、バスリセットの発生により送信が中止したか否かをファームウェアは知ることができない。このため、ファームウェアは、送信完了のステータスが送られてくるまで待機することになってしまい、ファームウェアの処理がストールするおそれがある。

[発明の開示]

本発明は、以上のような技術的課題に鑑みてなされたものであり、その目的

とするところは、ノードのトポロジ情報をクリアするリセットの発生時のファームウェアの処理負担を軽減でき、リセット発生によるファームウェアの処理のストール等を防止できるデータ転送制御装置及びこれが用いられる電子機器を提供することにある。

- 5 上記課題を解決するために本発明は、バスに接続される複数のノード間でのデータ転送のためのデータ転送制御装置であって、ノードのトポロジ情報をクリアするリセットから次のリセットまでの間をリセットインターバルと定義した場合に、受信したパケットと次に受信したパケットとが異なるリセットインターバルに受信したパケットか否かを区別するための区別情報を生成する手段と、受信した各パケットと生成された各区別情報とを、各パケットに各区別情報
- 10 を関連づけて、パケット記憶手段に書き込む書き込み手段とを含むことを特徴とする。

- 本発明によれば、例えば、受信した第Nのパケットに関連づけられた第Nの区別情報と、次に受信した第N+1のパケットに関連づけられた第N+1の区別情報とにより、第N、N+1のパケットが異なるリセットインターバルに受信されたか否かを区別できるようになる。即ち、第N、N+1のパケットが、
- 15 同一の第Mのリセットインターバルに受信された場合には、第N、第N+1の区別情報は例えば同じ値になり、第N、N+1のパケットが、異なる第M、第Lのリセットインターバルに受信された場合には、第N、第N+1の区別情報は例えば異なる値になる。従って、第N、第N+1の区別情報の変化を調べることで、第N、第N+1のパケットが異なるリセットインターバルに受信されたか否か、即ち第N、第N+1のパケットの受信の間にリセットが発生したか否かを判別できるようになる。従って、ファームウェア等は、リセットの発生場所を容易に知ることができるようになり、リセット発生時の処理負担を軽減で
- 20 きるようになる。
- 25 また本発明は、前記区別情報が、受信したパケットと次に受信したパケットとが異なるリセットインターバルに受信したパケットである場合に、0から1

に或いは1から0にトグルするトグルビットであることを特徴とする。このようにすれば、トグルビットの変化を調べるだけで、リセットの発生場所を容易に知ることができるようになり、リセット発生時のファームウェア等の処理負担を更に軽減できるようになる。

- 5 また本発明は、前記パケット記憶手段がランダムアクセス可能な記憶手段であり、前記パケット記憶手段が、パケットの制御情報が格納される制御情報領域とパケットのデータが格納されるデータ領域とに分離されている場合において、前記区別情報を、前記制御情報領域に書き込まれる前記制御情報の中に含ませることを特徴とする。このように、パケット記憶手段を制御情報領域とデータ領域に分離することで、ファームウェア等の処理負担を軽減でき、システム全体の実転送速度を向上できる。そして、区別情報を、制御情報領域に書き込まれる制御情報の中に含ませることで、ファームウェア等は、少ない処理負担で区別情報を容易に読み出すことができるようになる。
- 10

- 15 また本発明は、バスに接続される複数のノード間でのデータ転送のためのデータ転送制御装置であって、各ノードから受信したパケットをパケット記憶手段に書き込む書き込み手段と、ノードのトポロジ情報をクリアするリセットの発生前の受信パケットの領域とリセットの発生後の受信パケットの領域との、前記パケット記憶手段における境界を特定する第1のポインタ情報を記憶する第1のポインタ記憶手段とを含むことを特徴とする。

- 20 本発明によれば、ファームウェア等は、第1のポインタ記憶手段から第1のポインタ情報を読み出すだけで、リセット発生前に受信したパケットとリセット発生後に受信したパケットとを容易に区別できるようになる。そして、リセット発生前に受信したパケットに対しては破棄する等の処理を行い、リセット発生後に受信したパケットに対しては通常の処理を行うこと等が可能になる。

- 25 また本発明は、リセットの発生の直前に受信したパケットの次のパケットの先頭アドレスが、前記第1のポインタ情報として前記第1のポインタ記憶手段に記憶されることを特徴とする。このようにすれば、第1のポインタ記憶手段

から第1のポインタ情報を読み出すだけで、リセットの発生の直前に受信したパケットの次のパケットに対する処理を開始できるようになり、ファームウェア等の処理負担を軽減できる。

5 また本発明は、処理済みパケットの領域と未処理のパケットの領域との、前記パケット記憶手段における境界を特定する第2のポインタ情報を記憶する第2のポインタ記憶手段と、受信済みパケットの領域とパケットを未受信の領域との、前記パケット記憶手段における境界を特定する第3のポインタ情報を記憶する第3のポインタ記憶手段とを含むことを特徴とする。このようにすれば、第2、第3のポインタ記憶手段から第2、第3のポインタ情報を読み出すだけで、未処理のパケットや、最新に受信したパケットなどを容易に判別できるようになる。

10 また本発明は、前記第1のポインタ記憶手段に記憶される前記第1のポインタ情報に基づいてリセット発生後の受信パケットを特定し、該パケットを優先的に処理する処理手段を含むことを特徴とする。このようにすれば、リセット発生後の受信パケットが優先的に処理されるようになり、ファームウェアの処理がストールするなどの事態が生じるのを防止できるようになる。

15 また本発明は、前記パケット記憶手段がランダムアクセス可能な記憶手段であり、前記パケット記憶手段が、パケットの制御情報が格納される制御情報領域とパケットのデータが格納されるデータ領域とに分離されている場合において、前記第1のポインタ記憶手段が、ノードのトポロジ情報をクリアするリセットの発生前の受信パケットの制御情報とリセット発生後の受信パケットの制御情報との、前記制御情報領域における境界を特定する第4のポインタ情報を記憶する第4のポインタ記憶手段と、ノードのトポロジ情報をクリアするリセットの発生前の受信パケットのデータとリセット発生後の受信パケットのデータとの、前記データ領域における境界を特定する第5のポインタ情報を記憶する第5のポインタ記憶手段とを含むことを特徴とする。このようにすれば、第5のポインタ記憶手段から第5のポインタ情報を読み出すだけで、リセット発

生前後の受信パケットの、データ領域での境界を知ることができるようになり、ファームウェア等の処理負担を更に軽減できる。

また本発明は、前記データ領域が、第1の層用の第1のデータが格納される第1のデータ領域と、第2の層用の第2のデータが格納される第2のデータ領域とに分離されている場合において、前記第5のポインタ情報が、ノードのトポロジ情報をクリアするリセットの発生前の受信パケットの第1のデータとリセットの発生後の受信パケットの第1のデータとの、前記第1のデータ領域における境界を特定するポインタ情報であることを特徴とする。このようにすれば、第1の層（例えばファームウェア）は、第1のデータ領域に格納される第1のデータ（例えばORB）を、リセットの発生の前後を区別して読み出すことができるようになり、第1の層の処理負担を軽減できる。また、第2の層（例えばアプリケーション）は、第2のデータ領域に格納される第2のデータ（例えばストリーム）を連続して読み出すことができるようになり、データ転送制御装置の実転送速度を向上できるようになる。

また本発明は、バスに接続される複数のノード間でのデータ転送のためのデータ転送制御装置であって、送信開始コマンドが発行された場合に、パケット記憶手段からパケットを読み出す読み出し手段と、読み出されたパケットを各ノードに送信するためのサービスを提供するリンク手段と、ノードのトポロジ情報をクリアするリセットの発生によりパケットの送信が中止された場合に、リセットの発生によりパケットの送信が中止されたことを知らせるステータス情報を記憶するステータス記憶手段とを含むことを特徴とする。

本発明によれば、ファームウェア等は、ステータス記憶手段からステータス情報を読み出すことで、リセットの発生によりパケットの送信が中止されたことを知ることができるようになる。この結果、例えば、送信開始コマンドの発行の少し前にリセットが発生した場合等においても、ファームウェア等の処理がストールしてしまう事態を防止できるようになる。

また本発明は、前記送信開始コマンドを発行する処理手段を含み、前記処理

手段が、リセットの発生によりパケットの送信が中止されたと前記ステータス情報に基づいて判断した場合には、送信が完了したか否かを判断することなく、開始した送信処理をキャンセルすることを特徴とする。このようにすれば、ファームウェア等は、送信完了のステータスが送られてくるのを待つ必要がなくなり、ファームウェア等の処理がストールする事態を防止できる。

また本発明では、前記リセットが、IEEE 1394の規格において定義されるバスリセットであることが望ましい。

また、本発明では、IEEE 1394の規格に準拠したデータ転送を行うことが望ましい。

また本発明に係る電子機器は、上記のいずれかのデータ転送制御装置と、前記データ転送制御装置及びバスを介して他のノードから受信したデータに所与の処理を施す装置と、処理が施されたデータを出力又は記憶するための装置とを含むことを特徴とする。また本発明に係る電子機器は、上記のいずれかのデータ転送制御装置と、前記データ転送制御装置及びバスを介して他のノードに送信するデータに所与の処理を施す装置と、処理が施されるデータを取り込むための装置とを含むことを特徴とする。

本発明によれば、データ転送を制御するファームウェア等の処理負担を軽減できるため、電子機器の低コスト化、処理の高速化などを図ることができる。また、トポロジー情報をクリアするリセットの発生によりシステムがストールしてしまうなどの事態を防止できるため、電子機器の信頼性を高めることができる。

[図面の簡単な説明]

図1は、IEEE 1394の層構造について示す図である。

図2A、図2Bは、トランザクション層やリンク層が提供する各種のサービスについて説明するための図である。

図3は、SBP-2について説明するための図である。

図 4 は、本実施形態のデータ転送制御装置の構成例を示す図である。

図 5 は、R A M（パケット記憶手段）の分離（分割）手法について説明するための図である。

図 6 は、比較例の構成について示す図である。

5 図 7 は、図 6 の構成によるデータ転送の手法について説明するための図である。

図 8 は、本実施形態のデータ転送の手法について説明するための図である。

図 9 A、図 9 B は、バスリセットの発生によるトランザクションの中止について説明するための図である。

10 図 1 0 は、トグルビット B T について説明するための図である。

図 1 1 は、トグルビット B T をヘッダに含ませる手法について説明するための図である。

図 1 2 は、バスリセットポインタについて説明するための図である。

15 図 1 3 A、図 1 3 B、図 1 3 C は、バスリセットパケットを用いる場合とバスリセットポインタを用いる場合のファームウェアの処理について説明するための図である。

図 1 4 は、バスリセット O R B ポインタについて説明するための図である。

20 図 1 5 A、図 1 5 B は、バスリセットヘッダポインタのみを用いる場合とバスリセット O R B ポインタを用いる場合のファームウェアの処理について説明するためのフローチャートである。

図 1 6 は、バスリセット後の受信パケットを優先的に処理する手法について説明するためのフローチャートである。

図 1 7 A、図 1 7 B、図 1 7 C、図 1 7 D は、バスリセット送信中止ステータスについて説明するための図である。

25 図 1 8 A、図 1 8 B は、バスリセット送信中止ステータスを用いる場合と用いない場合のファームウェアの処理について説明するためのフローチャートである。

図 19 は、受信側の詳細な構成について示す図である。

図 20 A は、IEEE 1394 規格の、非同期でブロックデータを有するパケットのフォーマットであり、図 20 B は、RAM に格納される、非同期受信でブロックデータを有するパケットのヘッダ部分のフォーマットである。

5 図 21 は、TAG について説明するための図である。

図 22 A、図 22 B は、BT 生成回路の状態遷移図である。

図 23 は、BT 生成回路の動作について説明するためのタイミング波形図である。

図 24 は、各種ポインタレジスタの詳細について説明するための図である。

10 図 25 は、バスリセット送信中止ステータスの詳細について説明するための図である。

図 26 は、バスリセット送信中止ステータスの詳細について説明するためのタイミング波形図である。

15 図 27 A、図 27 B、図 27 C は、種々の電子機器の内部ブロック図の例である。

図 28 A、図 28 B、図 28 C は、種々の電子機器の外観図の例である。

[発明を実施するための最良の形態]

以下、本発明の好適な実施形態について図面を用いて詳細に説明する。

20 1. IEEE 1394

まず、IEEE 1394 について簡単に説明する。

1. 1 概要

IEEE 1394 (IEEE 1394-1995、P1394. a) では 100~400 Mbps の高速なデータ転送が可能となっている (P1394. b では 800~3200 Mbps)。また、転送速度が異なるノードをバスに接続することも許される。

各ノードはツリー状に接続されており、1つのバスに最大で 63 個のノード

が接続可能になっている。なお、バスブリッジを利用すれば約 6 4 0 0 0 個のノードを接続することも可能である。

5 I E E E 1 3 9 4 では、パケットの転送方式として非同期転送とアイソクロナス転送が用意されている。ここで非同期転送は、信頼性が要求されるデータの転送に好適な転送方式であり、アイソクロナス転送は、リアルタイム性が要求される動画像や音声などのデータの転送に好適な転送方式である。

1. 2 層構造

I E E E 1 3 9 4 の層構造（プロトコル構成）を図 1 に示す。

10 I E E E 1 3 9 4 のプロトコルは、トランザクション層、リンク層、物理層により構成される。また、シリアルバスマネージメントは、トランザクション層、リンク層、物理層をモニターしたり制御したりするものであり、ノードの制御やバスのリソース管理のための種々の機能を提供する。

15 トランザクション層は、上位層にトランザクション単位のインターフェース（サービス）を提供し、下層のリンク層が提供するインターフェースを通して、リードトランザクション、ライトトランザクション、ロックトランザクション等のトランザクションを実施する。

20 ここで、リードトランザクションでは、応答ノードから要求ノードにデータが転送される。一方、ライトトランザクションでは、要求ノードから応答ノードにデータが転送される。またロックトランザクションでは、要求ノードから応答ノードにデータが転送され、応答ノードがそのデータに処理を施して要求ノードに返信する。

トランザクション層のサービスは、図 2 A に示すように要求、表示、応答、確認という 4 つのサービスにより構成される。

25 ここで、トランザクション要求は、要求側がトランザクションを開始させるサービスであり、トランザクション表示は、要求が届いたことを応答側に通知するサービスである。また、トランザクション応答は、応答側の状態やデータを要求側に返すサービスであり、トランザクション確認は、応答側からの応答

がきたことを要求側に通知するサービスである。

リンク層は、アドレッシング、データチェック、パケット送受信のためのデータフレーミング、アイソクロナス転送のためのサイクル制御などを提供する。

5 リンク層のサービスは、トランザクション層と同様に、図 2 B に示すように要求、表示、応答、確認という 4 つのサービスにより構成される。

ここで、リンク要求は、パケットを応答側に転送するサービスであり、リンク表示は、応答側によるパケットの受信サービスである。また、リンク応答は、応答側によるアクノリッジメントの転送サービスであり、リンク確認は、要求側によるアクノリッジメントの受信サービスである。

10 物理層は、リンク層により使用されるロジカルシンボルの電気信号への変換や、バスの調停や、バスの物理的インターフェースを提供する。

物理層及びリンク層は、通常、データ転送制御装置（インターフェースチップ）などのハードウェアにより実現される。また、トランザクション層は、CPU 上で動作するファームウェア（処理手段）や、ハードウェアにより実現される。

15 なお、図 3 に示すように、IEEE 1394 のトランザクション層の一部の機能を含む上位のプロトコルとして、SBP-2 (Serial Bus Protocol-2) と呼ばれるプロトコルが提案されている。

ここで SBP-2 は、SCSI のコマンドセットを IEEE 1394 のプロト
20 コル上で利用可能にするために提案されたものである。この SBP-2 を用いれば、既存の SCSI 規格の電子機器で使用されていた SCSI のコマンドセットに最小限の変更を加えて、IEEE 1394 規格の電子機器に使用できるようになる。従って、電子機器の設計や開発を容易化できる。また、SCSI のコマンドだけではなく、デバイス固有のコマンドもカプセル化して利用
25 するため、非常に汎用性が高い。

この SBP-2 では、まず、イニシエータ（パーソナルコンピュータ等）が、ログインやフェッチ・エージェントの初期化のための ORB (Operation

Request Block)を作成して、ターゲット(プリンタ、CD-RWドライブ等)に送る。次に、イニシエータは、コマンド(リードコマンド、ライトコマンド)を含むORB(コマンドブロックORB)を作成して、その作成したORBのアドレスを、ターゲットに知らせる。そして、ターゲットは、そのアドレスをフェッチすることにより、イニシエータが作成したORBを取得する。ORBに含まれるコマンドがリードコマンドであった場合には、ターゲットは、ブロックライトトランザクションを発行して、イニシエータのデータバッファ(メモリ)にターゲットのデータを送信する。一方、ORBに含まれるコマンドがライトコマンドであった場合には、ターゲットは、ブロックリードトランザクションを発行して、イニシエータのデータバッファからデータを受信する。

このSBP-2によれば、ターゲットは、自身が都合の良いときにトランザクションを発行して、データを送受信できる。従って、イニシエータとターゲットが同期して動く必要がなくなるため、データ転送効率を高めることができる。

なお、IEEE 1394の上位プロトコルとしては、SBP-2以外にも、FCP(Function Control Protocol)と呼ばれるプロトコルなども提案されている。

1.3 バスリセット

IEEE 1394では、電源が投入されたり、途中でデバイスの抜き差しが発生すると、バスリセットが発生する。即ち、各ノードは、ポートの電圧変化を監視している。そして、バスに新たなノードが接続されるなどしてポートの電圧に変化が生じると、この変化を検知したノードは、バス上の他のノードに対して、バスリセットが発生したことを知らせる。また、各ノードの物理層は、バスリセットが発生したことをリンク層に伝える。

そして、このようにバスリセットが発生すると、ノードIDなどのトポロジ情報がクリアされる。そして、その後、トポロジー情報が自動的に再設定される。即ち、バスリセット後、ツリー識別、自己識別が行われる。その後、アイソクロナスリソースマネージャ、サイクルマスタ、バスマネージャ等の管理ノ

ードが決定される。そして、通常のバケット転送が開始される。

このように I E E E 1 3 9 4 では、バスリセット後にトポロジ情報が自動的に再設定されるため、電子機器のケーブルを自由に抜き差しできるようになり、いわゆるホットプラグを実現できる。

- 5 なお、トランザクションの途中でバスリセットが発生した場合には、そのトランザクションは中止される。そして、中止されたトランザクションを発行した要求ノードは、トポロジー情報を再設定された後に、要求バケットを再度転送する。また、応答ノードは、バスリセットにより中止されたトランザクションの応答バケットを要求ノードに返送してはならない。

10 2. 全体構成

次に、本実施形態のデータ転送制御装置の全体構成の例について図 4 を用いて説明する。

図 4 において、PHY インターフェース 1 0 は、PHY デバイス（物理層のデバイス）とのインターフェースを行う回路である。

- 15 リンクコア 2 0（リンク手段）は、リンク層のプロトコルやトランザクション層のプロトコルの一部をハードウェアにより実現する回路であり、ノード間でのバケット転送のための各種サービスを提供する。レジスタ 2 2 は、これらのプロトコルを実現したリンクコア 2 0 を制御するためのレジスタである。

- 20 F I F O（A T F）3 0、F I F O（I T F）3 2、F I F O（R F）3 4 は、各々、非同期送信用、アイソクロナス送信用、受信用の F I F O であり、例えばレジスタや半導体メモリなどのハードウェアにより構成される。本実施形態では、これらの F I F O 3 0、3 2、3 4 の段数は非常に少ない。例えば 1 つの F I F O の段数は、好ましくは 3 段以下であり、更に好ましくは 2 段以下となる。

- 25 D M A C 4 0（読み出し手段）、D M A C 4 2（読み出し手段）、D M A C 4 4（書き込み手段）は、各々、A T F 用、I T F 用、R F 用の DMA コントローラである。これらの D M A C 4 0、4 2、4 4 を用いることで、C P U 6

6に介入されることなく、RAM 80とリンクコア20との間でのデータ転送が可能になる。なお、レジスタ46は、DMAC 40、42、44などを制御するレジスタである。

5 ポートインターフェース50は、アプリケーション層のデバイス（例えばプリンタの印字処理を行うデバイス）とのインターフェースを行う回路である。本実施形態では、このポートインターフェース50を用いて、例えば8ビットのデータ転送が可能になっている。

10 FIFO (PF) 52は、アプリケーション層のデバイスとの間でのデータ転送のためのFIFOであり、DMAC 54は、PF用のDMAコントローラである。レジスタ56は、ポートインターフェース50やDMAC 54を制御するレジスタである。

15 SBP-2コア84は、SBP-2のプロトコルの一部をハードウェアにより実現する回路である。レジスタ88は、SBP-2コア84を制御するためのレジスタである。DMAC (SBP-2用) 86は、SBP-2コア84用のDMAコントローラである。

 RAM領域管理回路300は、RAM 80の各領域を管理するための回路である。RAM領域管理回路300は、RAM 80の各領域がフルになったり、エンプティになった場合に、各種のフル信号、エンプティ信号を用いてDMAC 40、42、44、54、86を制御する。

20 CPUインターフェース60は、データ転送制御装置をコントロールするCPU 66とのインターフェースを行う回路である。CPUインターフェース60は、アドレスデコーダ62、データ同期化回路63、割り込みコントローラ64を含む。クロック制御回路68は、本実施形態で使用されるクロックを制御するものであり、PHYデバイス (PHYチップ) から送られてくるSCLK
25 Kや、マスタクロックであるHCLKが入力される。

 バッファマネージャ70は、RAM 80とのインターフェースを管理する回路である。バッファマネージャ70は、バッファマネージャの制御のためのレ

ジスタ 72、RAM 80 へのバス接続を調停する調停回路 74、各種の制御信号を生成するシーケンサ 76 を含む。

RAM 80 は、ランダムアクセス可能なバケット記憶手段として機能するものであり、その機能は例えば SRAM、SDRAM、DRAM などにより実現される。

なお RAM 80 は、本実施形態のデータ転送制御装置に内蔵させることが特に望ましいが、その一部又は全部を外付けにすることも可能である。

図 5 に、RAM 80 のメモリマップの一例を示す。図 5 に示すように本実施形態では、RAM 80 が、ヘッダ領域 (AR 2、AR 3、AR 4、AR 6) とデータ領域 (AR 5、AR 7、AR 8、AR 9) に分離されている。そして、バケットのヘッダ (広義には制御情報) はヘッダ領域に格納され、バケットのデータ (ORB、ストリーム) はデータ領域に格納される。

また本実施形態では、図 5 に示すように、RAM 80 のデータ領域 (AR 5、AR 7、AR 8、AR 9) が、ORB 領域 (AR 5、AR 7) とストリーム領域 (AR 8、AR 9) に分離されている。

更に本実施形態では、RAM 80 が、受信領域 (AR 2、AR 4、AR 5、AR 9) と送信領域 (AR 3、AR 6、AR 7、AR 8) に分離されている。

なお、ORB (第 1 の層用の第 1 のデータ) は、上述したように SBP-2 用のデータ (コマンド) である。一方、ストリーム (第 1 の層より上層の第 2 の層用の第 2 のデータ) は、アプリケーション層用のデータ (プリンタの印字データ、CD-RW の読み出し・書き込みデータ、スキャナによる取り込み画像データ等) である。

また、AR 1、AR 2、AR 3 に示す HW (ハードウェア) 用ページテーブル領域、HW 用受信ヘッダ領域、HW 用送信ヘッダ領域は、図 4 に示す SBP-2 コア 84 (SBP-2 をハードウェアにより実現する回路) が、ページテーブルや受信ヘッダや送信ヘッダを書き込んだり読み出したりするための領域である。

また、図5においてAR4、AR5、AR8、AR9に示す領域は、いわゆるリングバッファ構造になっている。

さて、図4のバス90（或いはバス92、94）は、アプリケーションに接続されるものである（第1のバス）。またバス95（或いはバス96）はデータ転送制御装置をコントロールし、或いはデータをリード・ライトするためのものであり、データ転送制御装置をコントロールするデバイス（例えばCPU）に電氣的に接続される（第2のバス）。またバス100（或いはバス102、104、105、106、107、108、109）は、物理層のデバイス（PHYデバイス）に電氣的に接続されるものである（第3のバス）。また、バス110は、ランダムアクセス可能な記憶手段であるRAM80に電氣的に接続されるものである（第4のバス）。またバス99は、SBP-2コア84がハードウェアによりSBP-2を実現するためのヘッダ情報やページテーブル情報をリード・ライトするためのものである（第5のバス）。

バッファマネージャ70の調停回路74は、DMAC40、42、44、CPUインターフェース60、DMAC86、54からのバスアクセス要求の調停を行う。そして、この調停結果に基づいて、各々、バス105、107、109、96、99、94のいずれかと、RAM80のバス110との間にデータの経路が確立される（第1、第2、第3、第5のバスのいずれかと第4のバスとの間にデータ経路が確立される）。

本実施形態の1つの特徴は、ランダムアクセスが可能でありパケットを格納するRAM80を設けると共に、互いに分離されるバス90、95、99、100と、これらのバスをRAM80のバス110に接続するための調停回路74とを設けた点にある。

例えば図6に、本実施形態と構成の異なるデータ転送制御装置の例を示す。このデータ転送制御装置では、リンクコア902は、PHYインターフェース900、バス922を介してPHYデバイスと接続される。また、リンクコア902は、FIFO904、906、908、CPUインターフェース910、

バス 9 2 0 を介して CPU 9 1 2 に接続される。そして、CPU 9 1 2 は、バス 9 2 4 を介して、CPU にローカルなメモリである RAM 9 1 4 に接続される。

図 6 の構成のデータ転送制御装置を用いた場合のデータ転送の手法について
5 図 7 を用いて説明する。PHY デバイス 9 3 0 を介して他のノードから送られてきた受信パケットは、バス 9 2 2、データ転送制御装置 9 3 2、バス 9 2 0 を介して CPU 9 1 2 が受け取る。そして、CPU 9 1 2 は、受け取った受信パケットをバス 9 2 4 を介して RAM 9 1 4 に一旦書き込む。そして、CPU 9 1 2 は、RAM 9 1 4 に書き込まれた受信パケットをバス 9 2 4 を介して読
10 み出し、アプリケーション層が使用できるように加工し、バス 9 2 6 を介してアプリケーション層のデバイス 9 3 4 に転送する。

一方、アプリケーション層のデバイス 9 3 4 からのデータを転送する場合には、CPU 9 1 2 は、このデータを RAM 9 1 4 に書き込む。そして、RAM 9 1 4 のデータにヘッダを付加することで IEEE 1 3 9 4 に準拠したパケット
15 トを生成する。そして生成されたパケットは、データ転送制御装置 9 3 2、PHY デバイス 9 3 0 などを経由して他のノードに送信される。

しかしながら、このような図 7 のデータ転送手法によると、CPU 9 1 2 の処理負担が非常に重くなる。従って、ノード間を接続するシリアルバスの転送速度が高速になっても、CPU 9 1 2 の処理のオーバーヘッドなどに起因して、
20 システム全体の実転送速度は低くなり、結局、高速なデータ転送を実現できない。

これに対して、本実施形態では図 8 に示すように、データ転送制御装置 1 2 0、アプリケーション層のデバイス 1 2 4 間のバス 9 0 と、CPU バス 9 6 と、データ転送制御装置 1 2 0、RAM 8 0 間のバス 1 1 0 とが互いに分離されている。従って、CPU バス 9 6 をデータ転送の制御のみに使用できるようになる。
25 また、バス 9 0 を占有して、データ転送制御装置 1 2 0、アプリケーション層のデバイス 1 2 4 間でデータ転送を行うことができるようになる。例えば、

データ転送制御装置 120 が組み込まれる電子機器がプリンタである場合には、バス 90 を占有して印字データを転送できるようになる。この結果、CPU 66 の処理負担を軽減でき、システム全体の実転送速度を高めることができる。また CPU 66 として安価なものを採用できると共に、CPU バス 96 として高速なバスを使用する必要性がなくなる。このため、電子機器の低コスト化、小規模化を図れるようになる。

3. 本実施形態の特徴

3. 1 バスリセットによりトグルするビット

図 9 A に示すように、IEEE 1394 のトランザクションは、要求ノードが応答ノードに要求パケットを送信し、応答ノードからの応答パケットを要求ノードが受信することで完了する。そして、このようなトランザクションの完了後にバスリセットが発生しても問題はない。

一方、トランザクションの途中でバスリセットが発生すると、図 9 B の C1 に示すようにトランザクションは中止される。そして、この場合に応答ノードは、中止されたトランザクションについての応答パケットを、要求ノードに対して返送してはならない。また、トランザクションを完了させるためには、要求ノードは、C2 に示すように要求パケットを応答ノードに再度送信する必要がある。

しかしながら、プリンタや CD-RW などの周辺機器に本実施形態のデータ転送制御装置を組み込んだ場合、製品コストの制約から、図 4 の CPU 66 としては安価で処理能力が低い CPU が使用されるのが一般的である。従って、CPU 66 上で動作するファームウェアの処理能力も低い。このため、パケットを受信しても、受信したパケットを直ぐには処理できず、多くの未処理の受信パケットが RAM 80 に存在するようになる。従って、バスリセットが発生した場合には、これらの未処理のパケットが、バスリセットの前後のいずれに受信したパケットなのかを区別する処理が必要になる。即ち、バスリセットの発生場所を検出する処理が必要になる。そして、前述のようにファームウェア

の処理能力は一般的に低いと考えられるため、バスリセットの発生場所を検出する処理は、負荷の低いものであることが望まれる。

そこで、本実施形態では図 10 に示すような手法を採用している。

即ち、1つのバスリセット（ノードのトポロジ情報をクリアするリセット）
5 から次のバスリセットまでの間をバスリセットインターバルと定義したとする。
例えば図 10 では、バスリセット M から M+1 までの間はバスリセットインターバル M となり、バスリセット M+1 から M+2 までの間はバスリセットインターバル M+1 となる。

この場合に本実施形態では、受信したパケットと次に受信したパケットとが
10 異なるリセットインターバルに受信したパケットか否かを区別するためのトグルビット B T（広義には区別情報）を生成する。そして、このトグルビット B T を各パケットに関連づけて、図 10 の C 1 1 に示すように R A M（パケット記憶手段）に書き込むようにしている。

即ち図 10 において、パケット N と N+1 は同一のバスリセットインターバル M に受信されているため、これらの B T は共に 0 になる。一方、パケット N
15 +1 と N+2 は異なるバスリセットインターバル M と M+1 に受信されているため、パケット N+1 の B T は 0 となり、パケット N+2 の B T は 1 になる。
即ち、B T が 0 から 1 にトグルする。同様に、パケット N+4 と N+5 も異なるバスリセットインターバル M+1 と M+2 に受信されているため、B T が 1
20 から 0 にトグルする。また、パケット N+5 と N+6 も異なるバスリセットインターバル M+2 と M+4 に受信されているため、B T が 0 から 1 にトグルする。

従って、図 10 の C 1 2、C 1 3、C 1 4 から明らかなように、B T がトグルした場所がバスリセットの発生場所（R A M 上での境界）に対応するようになる。このため、ファームウェア（処理手段）は、B T がトグルした場所を調
25 べるだけで、バスリセットの発生場所を容易に知ることができるようになる。
この結果、ファームウェアは、最後のバスリセット後に受信したパケット N+

6、 $N+7$ 、 $N+8$ については例えば通常の処理を行い、最後のバスリセット前に受信したパケット $N \sim N+5$ については破棄する等の処理を行うことができるようになる。

そして、本実施形態において特に特徴的なのは、図10のC15においてBTが変化しないことである。即ち、例えば、バスリセットが発生する毎にBTがトグルようにすると、C15ではバスリセット $M+4$ が発生しているため、BTが1から0にトグルようになる。すると、パケット $N+5$ と $N+6$ は異なるバスリセットインターバルで受信したパケットであるにもかかわらず、図10のC14でBTが0から1に変化しなくなる。この結果、パケット $N+5$ と $N+6$ の受信の間にバスリセットが発生したことをファームウェアが検出できなくなる問題が生じる。

本実施形態では、連続して受信したパケットが異なるリセットインターバルに受信したパケットであることを条件に、BTが0から1に或いは1から0にトグルようになるため、上記のような問題は生じない。

なお、本実施形態では図5で説明したようにRAMをヘッダ領域とデータ(ORB、ストリーム)領域に分離する。また、ヘッダ領域に格納される各ヘッダと、データ領域に格納される各データとを、ヘッダに含ませたデータポイントにより対応させている。そして本実施形態では図11に示すように、上記のトグルビットBT(区別情報)を、ヘッダ領域に書き込まれるヘッダの中に含ませている。このようにすれば、ファームウェアはヘッダ領域のヘッダをまとめて読み出し、これらのヘッダに含まれるBTを調べるだけで、バスリセットの発生場所を容易に検出できるようになる。この結果、ファームウェアの処理負担を更に軽減できるようになる。

なお、図10では、区別情報が1ビットのデータである場合について説明したが、区別情報を2ビット以上のデータにしてもよい。例えば、図10のC12、C13、C14において、0から1、1から0、0から1というようにに変化させる代わりに、1、2、3というようにその値をインクリメントさせるよ

うにしてもよい。

3. 2 バスリセットポインタ

さて、本実施形態では、バスリセットの発生場所を効率的に検出するために、
図 1 2 に示すようなバスリセットポインタレジスタ(第 1 のポインタ記憶手段)
5 B P R を設けている。

ここで、バスリセットポインタレジスタ B P R に記憶されるバスリセットポ
インタ B P は、バスリセット発生前の受信パケット $N \sim N + 2$ とバスリセット
発生後の受信パケット $N + 3 \sim N + 6$ との、R A M における境界 R B 1 を特定
するポインタである。より具体的には、ポインタ B P は、バスリセット発生の
10 直前に受信したパケット $N + 2$ の次のパケット $N + 3$ の先頭アドレスを指して
いる。

更に、本実施形態では、図 1 2 に示すように、処理済みポインタレジスタ U
P R (第 2 のポインタ記憶手段) や受信済みポインタレジスタ P P R (第 3 の
ポインタ記憶手段) も設けている。

15 ここで、レジスタ U P R に記憶される処理済みポインタ U P は、処理済み(使
用済み)パケット $N - 1$ と未処理(未使用)のパケット N との、R A M におけ
る境界 R B P 2 を特定するポインタである。より具体的には、ポインタ U P は、
処理済みパケット $N - 1$ の次のパケット N の先頭アドレスを指している。

また、レジスタ P P R に記憶される受信済みポインタ P P は、最新(post)
20 の受信済みパケット $N + 6$ と、未受信のパケット $N + 7$ (次に受信するであろ
うパケット) との、R A M における境界 R B P 3 を特定するポインタである。
より具体的には、ポインタ P P は、最新の受信済みパケット $N + 6$ の次に来る
べき未受信のパケット $N + 7$ の先頭アドレスを指している。

上記のレジスタ B P R を設けることで、ファームウェアは、バスリセット前
25 の受信パケットとバスリセット後の受信パケットとを、容易に区別できるよう
になる。また、レジスタ U P R や P P R を設けることで、ファームウェアは、
どのパケットが未処理のパケットかを、容易に判断できるようになる(図 1 2

ではパケットN～N+6が未処理になる)。

特に、ポインタBPは、バスリセット直後の受信パケットN+3の先頭アドレスを指している。従って、ファームウェアは、レジスタBPRからポインタBPを読み出すだけで、バスリセット後のパケットに対する処理を開始できる
5 ようになる。また、ポインタUPは未処理のパケットNの先頭アドレスを指している。従って、ファームウェアは、レジスタUPRからポインタUPを読み出すだけで、未処理のパケットに対する処理を開始できるようになる。

さて、バスリセット前の受信パケットとバスリセット後の受信パケットとを
10 区別する手法として、いわゆるバスリセットパケットを利用する手法が考えられる。このようなバスリセットパケットを用いれば、図13Aに示すように、バスリセットパケットの前に格納されているパケットN～N+2は、バスリセット前の受信パケットであると判断でき、バスリセットパケットの後に格納されているパケットN+3～N+6は、バスリセット後の受信パケットであると判断できる。

15 しかしながら、この手法では、図13BのフローチャートのステップS1、S2に示すように、ファームウェアは、バスリセットパケットが読み出されるまで未処理の受信パケットをRAMから順次読み出さなければならない。従って、ファームウェアの処理負担が重くなるという問題があり、特に、RAMに多くの未処理のパケットが積まれた場合には、上記問題は更に深刻になる。

20 これに対して、バスリセットポインタBPを用いる本実施形態では、図13CのフローチャートのステップS3に示すように、ファームウェアはレジスタBPRからポインタBPを読み出すだけでよい。従って、図13Bに比べてファームウェアの処理負担を格段に軽減できる。

さて、本実施形態では、図5に示すようにRAMをヘッダ領域とデータ領域
25 に分離している。このため、図12のバスリセットポインタレジスタBRとして、図14に示すようにバスリセットヘッダポインタレジスタBHPR(第4のポインタ記憶手段)とバスリセットORBポインタレジスタBOPR(第5

のポインタ記憶手段)を設けている。

また、処理済みポインタレジスタUPRとして、処理済みヘッダポインタレジスタUHPRと処理済みORBポインタレジスタUOPRを設けている。また、受信済みポインタレジスタPPRとして、受信済みヘッダポインタレジスタPHPRと受信済みORBポインタレジスタPOPRを設けている。

ここで、レジスタBHPR、UHPR、PHPRが記憶するポインタBHP(第4のポインタ情報)、UHP、PHPは、各々、RAMのヘッダ領域での境界RB11、RB21、RB31を特定するためのポインタである。

また、レジスタBOPR、UOPR、POPRが記憶するポインタBOP(第5のポインタ情報)、UOP、POPは、各々、RAMのORB(第1のデータ)領域での境界RB12、RB22、RB32を特定するためのポインタである。

さて、図14に示すように、ORB領域でのバスリセットの境界RB12を指すポインタBOPを用いることで、次のような利点を得ることができる。

即ち、ヘッダ領域での境界RB11を指すポインタBHPしか用いない手法では、ORB領域での境界RB12を特定するために、ファームウェアは図15Aのフローチャートに示すような処理を行う必要がある。

まず、ポインタUOPのアドレスを記憶する(ステップS10)。次に、ポインタBHPの前にヘッダがあるか否かを判断し(ステップS11)、ある場合にはそのヘッダを読み出す(ステップS12)。例えば図14では、ヘッダNが読み出される。

次に、読み出されたヘッダが、ORB領域にデータを持つパケット(ORBパケット)のヘッダか否かを判断する(ステップS13)。図14ではヘッダN、N+1はORBパケットのヘッダではないため、ステップS14には移行せず、ステップS11、S12に戻る。一方、ヘッダN+2、N+3はORBポインタであるので、ステップS14に移行し、ヘッダに含まれるデータポインタ及びデータ長に基づき、ORBポインタのアドレス(境界RB02、RB

12) を算出し記憶する。そして、次のヘッダ $N+4$ は、ORB ポインタではないため、ステップ S11 に戻る。すると、ステップ S11 で、ポインタ BHP の前にヘッダが無いと判断されるため、ステップ S15 に移行し、直前に記憶した ORB ポインタのアドレス (RB12) を、バスリセットによる ORB 領域の境界であると判断する。

以上のように、ポインタ BHP のみを用いる手法では、ファームウェアは、図 15A に示すような負荷の重い処理を行わなければならない。特に、ファームウェアの処理能力が低く、RAM に多くのヘッダが積まれているような状況では、事態は更に深刻になる。

これに対して、ポインタ BOP を用いれば、図 15B のフローチャートに示すように、ファームウェアは、レジスタ BOPR からポインタ BOP を読み出すだけで、境界 RB12 を特定できる。従って、ポインタ BHP しか用いない手法に比べて、ファームウェアの処理負担を格段に軽減できる。

さて、SBP-2 においては、各ノード (イニシエータ、ターゲット) は、通常の 16 ビットのノード ID の他に 64 ビットの EUI-64 と呼ばれる ID を持っている。そして、ノード ID はバスリセットによりリセットされ、バスリセット後には全く異なる ID になってしまう可能性が常にあるのに対し、EUI-64 は、各ノードにユニークな ID であり、バスリセット後も変化しない。従って、バスリセット後に、EUI-64 と新たなノード ID とを対応づける処理が必要になり、各ノード間では、この対応づけの処理のための多数のパケットが送受信される。このため、バスリセット後には、短時間に多くのパケットが RAM に積まれることになる。そして、これらの積まれるパケットの数は、バスに接続されるノードが増えるにつれて多くなる。

この場合に、各ノードのファームウェア (トランザクション層) が、バスリセット前の受信パケットに対する処理を優先的に行うと、そのノードの処理がストールしてしまう可能性があることが判明した。そして、1つのノードの処理がストールしてしまうと、その影響は他のノードにも及ぶ。

そこで本実施形態では、バスリセットが発生した場合に、ファームウェア（処理手段）が、バスリセット後の受信パケットを優先的に処理するようにしている。

即ち、図 1 6 のフローチャートに示すように、バスリセットが発生したと判断されると（ステップ S 2 0）、ファームウェアは、レジスタ B H P R、B O P R からポインタ B H P、B O P を読み出す（ステップ S 2 1）。そして、バスリセット後の受信パケット（ノード I D と E U I - 6 4 との対応づけのためパケット）を優先的に処理する（ステップ S 2 2）。即ち、本実施形態では、前述のように、ポインタ B H P、B O P が用意されるため、これらのポインタをレジスタ B H P R、B O P R から読み出すという簡易な処理で、バスリセット後の受信パケットを特定できる。従って、このようにバスリセット後の受信パケットを優先的に処理するようにしても、ファームウェアの処理負担はそれほど増加しない。

次に、ファームウェアは、レジスタ U H P R、U O P R からポインタ U H P、U O P を読み出し（ステップ S 2 3）、バスリセット前の受信パケットの処理を行う（ステップ S 2 4）。即ち、パケットを破棄したり、バスリセットにより中止されたトランザクションがあるか否かを判断する等の処理を行う。

3. 3 バスリセット送信中止ステータス

図 1 7 A に示すように、通常の送信処理は、ファームウェアが送信開始コマンドを発行することで（図 4 のレジスタ 4 6 に送信開始コマンドを書き込むことで）、開始される。そして、送信開始コマンドが発行されると、バスのアービトレーションが行われ、アービトレーションに勝つと、バス上での実際のパケット転送が開始する。そして、相手ノードから A C K（アクノリッジメント）が返ってくると、送信完了のステータスがファームウェアに伝えられる。

そして、図 1 7 B に示すように、送信開始コマンドの発行前にバスリセットが発生していた場合には、図 1 7 A と同様に通常の送信処理が行われる。一方、図 1 7 C に示すように、送信開始コマンドの発行後にバスリセットが発生する

と、送信は中止され、相手ノードからのACKは返って来ず、送信完了のステータスはファームウェアには伝えられない。

ところが、ファームウェアによる送信開始コマンドの発行（レジスタへの書き込み）の少し前にバスリセットが起きたような場合には、図17B、図17Cのどちらのケースになったのかを、ファームウェアが判断できなくなる。

即ち図18Aに示すようにファームウェアは、送信開始コマンドを発行した後（ステップS30）、バスリセットが発生したか否かを判断する（ステップS31）。そして、バスリセットが発生していない場合には、送信完了が返って来るのを待つことになる（ステップS32）。これは、図17Bのケースである。一方、バスリセットが発生した場合には、送信完了を待つことなく、送信をキャンセルする（ステップS33）。これは図17Cのケースである。

そして、図18AのC20に示すように、送信開始コマンドの発行よりも少し前にバスリセットが発生した場合には、ファームウェアの処理がステップS31、S32でループしてしまい、処理がストールしてしまう。即ち、バスリセットの発生を検出できないため、送信はキャンセルされず（ステップS33に移行しない）、送信完了も返って来ないため、ステップS31、S32で処理がループする。

そこで本実施形態では図17（D）に示すように、バスリセットにより送信が中止されたことを示すステータスをファームウェアに伝えるようにしている。より具体的には、バスリセットが発生し、データ転送制御装置のハードウェアが送信を中止する処理を行った場合に、バスリセット送信中止ステータスが図4のレジスタ46に書き込まれる。このようにすればファームウェアは、図18BのステップS41に示すように、バスリセットにより送信が中止されたか否かを判断できる。そして、バスリセットにより送信が中止されたと判断した場合には、送信完了を待つことなく送信をキャンセルするようにする（ステップS44）。これにより、ファームウェアの処理がストールしてしまう事態を回避できるようになる。

4. 詳細例

4. 1 受信側の詳細な構成

次に受信側の詳細な構成について説明する。図 19 に、リンクコア 20（リンク手段）、FIFO 34、DMAC 44（書き込み手段）の詳細な構成の一例を示す。

リンクコア 20 は、バス監視回路 130、直列・並列変換回路 132、パケット整形回路 160 を含む。

ここで、バス監視回路 130 は、PHY インターフェース 10 を介して PHY デバイスに接続される 8 ビット幅のデータバス D、2 ビット幅のコントロールバス CTL を監視する回路である。

直列・並列変換回路 132 は、データバス D のデータを 32 ビットのデータに変換する回路である。

パケット整形回路 160 は、各ノードから転送されてきたパケットを上層が使用できるように整形する回路である。例えば図 20 A に、IEEE 1394 規格の、非同期でブロックデータを有するパケットのフォーマットを示す。一方、図 20 B に、RAM 80 のヘッダ領域に格納される、非同期受信でブロックデータを有するパケットのヘッダ部分のフォーマットを示す。このように本実施形態では、図 20 A に示すフォーマットのパケットを、ファームウェアなどの上層が使用できるように、図 20 B に示すフォーマットのパケットに整形している。

パケット整形回路 160 は、パケット診断回路 142、シーケンサ 167、バッファ 168、セクタ 170 を含み、パケット診断回路 142 は、TAG 生成回路 162、ステータス生成回路 164、エラーチェック回路 166 を含む。

ここでパケット診断回路 142 は、パケットの診断を行う回路である。TAG 生成回路 162 は、パケットを書き込む領域を区別するための情報である TAG を生成する回路であり、ステータス生成回路 164 は、パケットに付加す

る各種のステータスを生成する回路である。また、エラーチェック回路166は、パケットに含まれるパリティやCRCなどのエラーチェック情報をチェックしてエラーを検出する回路である。

シーケンサ167は各種の制御信号を生成するものである。バッファ168、
5 セレクタ170は、直列・並列変換回路132からのDI、パケット診断回路142からのステータス、DMAC44からのデータポインタDPのいずれかを、パケット診断回路142からの信号SELにより選択するためのものである。

10 FIF034は、リンコア20からの出力データであるRDの位相と、RAM80への書き込みデータであるWDATAの位相とを調整するためのバッファとして機能するものであり、FIF0状態判断回路35を含む。FIF0状態判断回路35は、FIF034が空になると、信号EMPTYをアクティブにし、FIF034がフルになると、信号FULLをアクティブにする。

15 DMAC44は、パケット分離回路180、アクセス要求実行回路190、アクセス要求発生回路192を含む。

ここでパケット分離回路180は、パケット整形回路160により整形されたパケットをTAG(DTAG)に基づいてデータ、ヘッダ等に分離して、RAMの各領域(図5参照)に書き込む処理を行う。

20 アクセス要求実行回路190は、リンクコア20からのアクセス要求を実行するための回路である。アクセス要求実行回路190は、FIF0状態判断回路35からのFULLがアクティブになると、FFULLをアクティブにする。パケット整形回路160内のシーケンサ167は、FFULLがアクティブでないことを条件に、RD(RxData)のストロブ信号であるRDSをアクティブにする。

25 なおRFAILは、受信における失敗を、シーケンサ167がアクセス要求実行回路190に対して知らせるための信号である。

アクセス要求発生回路192は、RAM80へのアクセス要求を発生するた

めの回路である。アクセス要求発生回路192は、バッファマネージャ70からの書き込みアクノリッジメントであるWACKやFIFO状態判断回路35からのEMPTYなどを受け、書き込み要求であるWREQをバッファマネージャ70に出力する。

- 5 さて、図19に示すように、パケット分離回路180は、TAG判別回路182、アドレス発生回路188を含み、アドレス発生回路188はポインタ更新回路184を含む。

10 ここでTAG判別回路182は、TAG生成回路162により生成されたTAG(DTAG)を判別し、FIFO34の出力WDATAの書き込み領域を決める。

15 そして、アドレス発生回路188が含むポインタ更新回路184が、この決められた領域において、ポインタ(データポインタ、ヘッダポインタ)を順次更新(インクリメント、デクリメント)する。そして、アドレス発生回路188は、この順次更新されるポインタが指すアドレスを発生して、WADRとしてバッファマネージャ70に出力する。また、アドレス発生回路188は、データポインタDP(受信ORB領域のデータポインタ、受信ストリーム領域のデータポインタ等)をパケット整形回路160に出力する。パケット整形回路160は、このデータポインタをパケットのヘッダに埋め込む(図20BのC30参照)。このようにすることで、ヘッダ領域に格納されるヘッダとデータ領域に格納されるデータとを対応づけることが可能になる(図11参照)。

20 図21に、本実施形態で使用されるTAG(DTAG)の例を示す。図21において、例えばTAGが(0001)、(0010)であった場合には、受信パケットのヘッダ(FIFO34の出力WDATA)が図5の受信ヘッダ領域へ書き込まれる。また、TAGが(0100)であった場合には、受信パケットのデータが受信ORB領域に書き込まれ、TAGが(0101)であった場合には、受信パケットのデータが受信ストリーム領域に書き込まれることになる。

また、TAGが(1001)、(1010)であった場合には、受信パケットのヘッダがHW(ハードウェア)用受信ヘッダ領域に書き込まれる。また、TAGが(1100)であった場合には、受信パケットのデータがHW用受信ORB領域に書き込まれ、TAGが(1101)であった場合には、受信パケットのデータがHW用受信ストリーム領域に書き込まれることになる。なお、
5 ここでHW(ハードウェア)用とは、図4のSBP-2コア84用という意味である。

4.2 BT生成回路

ステータス生成回路164は、BT生成回路165を含む。このBT生成回路165は、図10で説明したトグルビットBTを生成する。生成されたBTは、図20BのC31に示すように、整形後のパケットのヘッダに埋め込まれる。
10

図22A、図22Bに、BT生成回路165の状態遷移図を示す。

図22Aにおいて、RECEIVEDはBT生成回路165の内部信号であり、BRIPはバスリセット中であることを示す信号である。このBRIPは、
15 図19に示すようにバス監視回路130が生成する。即ちバス監視回路130は、データバスDを介してPHYデバイスからのステータス情報を受け取り、このステータス情報に基づいて、バスリセットがなされたか否かを判断する。そして、バス監視回路130は、バスリセットがなされたと判断すると、BRIPをHレベルにして、その後、Lレベルに戻す。
20

図22Aの状態遷移図に示すように、RECEIVEDは、パケットを受信したことを条件にLレベルからHレベルに変化し、BRIPがHレベルになったことを条件にHレベルからLレベルに変化する。また図22Bの状態遷移図に示すように、トグルビットBTは、BRIP及びRECEIVEDがHレベルになったことを条件に、LレベルからHレベルに或いはHレベルからLレベルにトグルする。
25

図23に、上述した各信号のタイミングチャートを示す。図23のC40、

C 4 1、C 4 2では、パケットを受信したため、R E C E I V E DがLレベルからHレベルに変化している。また、C 4 3、C 4 4、C 4 5では、B R I P（バスリセット中信号）がHレベルになったため、R E C E I V E DがHレベルからLレベルに変化している。

5 C 4 6、C 4 7、C 4 8では、B R I P及びR E C E I V E DがHレベルになったため、B Tが、LレベルからHレベルに或いはHレベルからLレベルにトグルしている。一方、C 4 9では、R E C E I V E DがHレベルではないため、B Tは変化しない。即ち、バスリセットインターバルM+2ではパケットを受信していないため、バスリセットが生じて（B R I PがHレベルになっ
10 ても）、B Tは変化しない。このようにすることで、図10で説明したように、連続して受信したパケットが異なるバスリセットインターバルのパケットである場合に変化するようなトグルビットB Tを生成できるようになる。

4. 3 ポインタレジスタ

次に、図24を用いて、図14の各種ポインタレジスタの詳細について説明
15 する。

レジスタ310、314、318は、各々、受信済みヘッダポインタ、受信済みORBポインタ、受信済みストリームポインタを記憶するレジスタである（図14参照）。これらのレジスタ310、314、318は、アドレス発生回路188から、各々、W H A D R（ヘッダ領域でのアドレス）、W O A D R
20 （ORB領域でのアドレス）、W S A D R（ストリーム領域でのアドレス）を受け。また、レジスタ310、314、318は、リンクコア20からの受信完了信号R X C O M Pを受ける。そして、レジスタ310、314、318は、このR X C O M Pがアクティブになるタイミングで、アドレス発生回路188からのW H A D R、W O A D R、W S A D Rを取り込み、記憶する。この
25 ようにすることで、図14の境界R B 3 1、R B 3 2等のアドレスを記憶できるようになる。

またレジスタ312、316は、各々、バスリセットヘッダポインタ、バス

リセットORBポインタを記憶するレジスタである（図14参照）。これらのレジスタ312、316は、リンクコア20からのバスリセット中信号BRIPを受ける。そして、レジスタ312、316は、このBRIPがアクティブになるタイミングで、レジスタ310、314に記憶されているアドレスを取り込み、記憶する。このようにすることで、図14の境界RB11、RB12のアドレスを記憶できるようになる。

レジスタ320、322、324は、各々、処理済みヘッダポインタ、処理済みORBポインタ、処理済みストリームポインタを記憶するレジスタである（図14参照）。

スタート・エンドアドレスレジスタ326は、図5に示す各領域のスタートアドレスやエンドアドレスを記憶する。そして、アドレス発生回路188、332は、レジスタ326からのスタートアドレス、エンドアドレスに基づいてアドレスの発生を制御する。より具体的には、スタートアドレスを開始点として順次ポインタを更新する。そして、ポインタがエンドアドレスに到達した場合に、ポインタをスタートアドレスに戻すなどの制御を行う（リングバッファ構造の場合）。

RAM領域管理回路300は、受信ヘッダ領域管理回路302、受信ORB領域管理回路304、受信ストリーム領域管理回路306を含む。

そして、受信ヘッダ領域管理回路302は、レジスタ310からの受信済みヘッダポインタやレジスタ320からの処理済みヘッダポインタを受け、受信ヘッダ領域がフルであることを知らせる信号HDRFULLをアクセス要求発生回路192に出力する。

また、受信ORB領域管理回路304は、レジスタ314からの受信済みORBポインタやレジスタ322からの処理済みORBポインタを受け、受信ORB領域がフルであることを知らせる信号ORBFULLをアクセス要求発生回路192に出力する。

また、受信ストリーム領域管理回路306は、レジスタ318からの受信済

みストリームポインタやレジスタ 3 2 4 からの処理済みストリームポインタを受け、受信ストリーム領域がフルであることを知らせる信号 S T R M F U L L をアクセス要求発生回路 1 9 2 に出力する。また、受信ストリーム領域がエンブティであることを知らせる信号 S T R M E M P T Y をアクセス要求発生回路 3 3 4 に出力する。

アクセス要求発生回路 1 9 2、3 3 4 は、これらのフル信号、エンブティ信号を受けて、書き込み要求 W R E Q、読み出し要求 R R E Q をバッファマネージャ 7 0 に出力するか否かを決めることになる。

4. 4 バスリセット送信中止ステータス

次に、図 2 5、図 2 6 を用いて、バスリセット送信中止ステータスの詳細について説明する。

図 2 5 において、ファームウェアは送信開始コマンドを送信開始設定レジスタ 3 4 0 に書き込む。すると S T A R T 生成回路 3 4 2 が、図 2 6 の C 6 0 に示すように信号 S T A R T をアクティブにする。すると D M A C 4 0 がバッファマネージャ 7 0 に対して読み出し要求を出力し、送信が開始される。

また、信号 S T A R T を受けた T X P R D 生成回路 3 4 6 は、C 6 1 に示すように、送信中であることを示す信号 T X P R D をアクティブにする。そして、パケット転送が無事に終了し、C 6 2 に示すようにリンクコア 2 0 が送信完了信号 T X C O M P をアクティブにすると、信号 T X P R D は非アクティブになる。

さて、送信中 (T X P R D がアクティブの時) に、C 6 3 に示すように信号 B R I P がアクティブになると (バスリセットが発生すると)、C 6 4 に示すように、図 2 5 の T X B R A B O R T 生成回路 3 4 8 が信号 T X B R A B O R T をアクティブにする。そして、バスリセットにより送信が中止されたことを示すステータスが、送信中止ステータスレジスタ 3 5 0 を介してファームウェアに伝えられることになる。

一方、図 2 6 の C 6 5 では、送信中ではないため (T X P R D が非アクティ

ブ)、バスリセットが発生してBRIPがアクティブになっても、TXBRA
BOTはアクティブにならない。

このように本実施形態では、送信中にバスリセットが発生して送信が中止に
なった時にのみ、バスリセット送信中止ステータスがファームウェアに伝えら
れるようになる。

5. 電子機器

次に、本実施形態のデータ転送制御装置を含む電子機器の例について説明す
る。

例えば図27Aに電子機器の1つであるプリンタの内部ブロック図を示し、
図28Aにその外観図を示す。CPU(マイクロコンピュータ)510はシス
テム全体の制御などを行う。操作部511はプリンタをユーザが操作するため
のものである。ROM516には、制御プログラム、フォントなどが格納され、
RAM518はCPU510のワーク領域として機能する。表示パネル519
はプリンタの動作状態をユーザに知らせるためのものである。

PHYデバイス502、データ転送制御装置500を介して、パーソナルコ
ンピュータなどの他のノードから送られてきた印字データは、バス504を介
して印字処理部512に直接送られる。そして、印字データは、印字処理部5
12にて所与の処理が施され、プリントヘッダなどからなる印字部(データを
出力するための装置)514により紙に印字されて出力される。

図27Bに電子機器の1つであるスキャナの内部ブロック図を示し、図28
Bにその外観図を示す。CPU520はシステム全体の制御などを行う。操作
部521はスキャナをユーザが操作するためのものである。ROM526には
制御プログラムなどが格納され、RAM528はCPU520のワーク領域と
して機能する。

光源、光電変換器などからなる画像読み取り部(データを取り込むための装
置)522により原稿の画像が読み取られ、読み取られた画像のデータは画像
処理部524により処理される。そして、処理後の画像データがバス505を

介してデータ転送制御装置 500 に直接送られる。データ転送制御装置 500 は、この画像データにヘッダなどを付加することでパケットを生成し、PHY デバイス 502 を介してパーソナルコンピュータなどの他のノードに送信する。

図 27C に電子機器の 1 つである CD-RW ドライブの内部ブロック図を示し、図 28C にその外観図を示す。CPU 530 はシステム全体の制御などを行う。操作部 531 は CD-RW をユーザが操作するためのものである。ROM 536 には制御プログラムなどが格納され、RAM 538 は CPU 530 のワーク領域として機能する。

レーザ、モータ、光学系などからなる読み取り&書き込み部（データを取り込むための装置又はデータを記憶するための装置）533 により CD-RW 532 から読み取られたデータは、信号処理部 534 に入力され、エラー訂正処理などの所与の信号処理が施される。そして、信号処理が施されたデータが、バス 506 を介してデータ転送制御装置 500 に直接送られる。データ転送制御装置 500 は、このデータにヘッダなどを付加することでパケットを生成し、PHY デバイス 502 を介してパーソナルコンピュータなどの他のノードに送信する。

一方、PHY デバイス 502、データ転送制御装置 500 を介して、他のノードから送られてきたデータは、バス 506 を介して信号処理部 534 に直接送られる。そして、信号処理部 534 によりこのデータに所与の信号処理が施され、読み取り&書き込み部 533 により CD-RW 532 に記憶される。

なお、図 27A、図 27B、図 27C において、CPU 510、520、530 の他に、データ転送制御装置 500 でのデータ転送制御のための CPU を別に設けるようにしてもよい。

また、図 27A、図 27B、図 27C では RAM 501（図 4 の RAM 80 に相当）がデータ転送制御装置 500 の外部に設けられているが、RAM 501 をデータ転送制御装置 500 に内蔵させてもよい。

本実施形態のデータ転送制御装置を電子機器に用いることで、高速なデータ

転送が可能になる。従って、ユーザがパーソナルコンピュータなどによりプリントアウトの指示を行った場合に、少ないタイムラグで印字が完了するようになる。また、スキャナへの画像取り込みの指示の後に、少ないタイムラグで読み取り画像をユーザは見るようになる。また、CD-RWからの

5 データの読み取りや、CD-RWへのデータの書き込みを高速に行うことができるようになる。更に、例えば1つのホストシステムに複数の電子機器を接続して利用したり、複数のホストシステムに複数の電子機器を接続して利用したりすることも容易になる。

また本実施形態のデータ転送制御装置を電子機器に用いることで、CPU上で動作するファームウェアの処理負担が軽減され、安価なCPUや低速のバスを用いることが可能になる。更に、データ転送制御装置の低コスト化、小規模化を図れるため、電子機器の低コスト化、小規模化も図れるようになる。

10

また、バスに新たな電子機器が接続され、バスリセットが発生した場合にも、電子機器間での通常のデータ転送が長時間待たされる事態を防止できるようになる。

15

なお本実施形態のデータ転送制御装置を適用できる電子機器としては、上記以外にも例えば、種々の光ディスクドライブ（CD-ROM、DVD）、光磁気ディスクドライブ（MO）、ハードディスクドライブ、TV、VTR、ビデオカメラ、オーディオ機器、電話機、プロジェクタ、パーソナルコンピュータ、電子手帳、ワードプロセッサなど種々のものを考えることができる。

20

なお、本発明は本実施形態に限定されず、本発明の要旨の範囲内で種々の変形実施が可能である。

例えば、本発明のデータ転送制御装置の構成は、図4に示す構成が特に望ましいが、これに限定されるものではない。

また、本発明はIEEE1394におけるバスリセットに特に有用だが、これ以外にも、少なくともノードのトポロジー情報をクリアするようリセットであれば適用できる。

25

また本発明のポインタ情報は、パケット記憶手段の各境界を少なくとも特定できるものであればよく、パケットの先頭アドレスには限定されない。

またパケット記憶手段の分離（分割）手法も、図5で説明したものに限定されるものではない。

- 5 また、本発明は、IEEE 1394規格でのデータ転送に適用されることが特に望ましいが、これに限定されるものではない。例えばIEEE 1394と同様の思想に基づく規格やIEEE 1394を発展させた規格におけるデータ転送にも本発明は適用できる。

請 求 の 範 囲

1. バスに接続される複数のノード間でのデータ転送のためのデータ転送制御装置であって、

- 5 ノードのトポロジ情報をクリアするリセットから次のリセットまでの間をリセットインターバルと定義した場合に、受信したパケットと次に受信したパケットとが異なるリセットインターバルに受信したパケットか否かを区別するための区別情報を生成する手段と、

10 受信した各パケットと生成された各区別情報とを、各パケットに各区別情報を関連づけて、パケット記憶手段に書き込む書き込み手段と、
 を含むことを特徴とするデータ転送制御装置。

2. 請求項 1 において、

前記区別情報が、

15 受信したパケットと次に受信したパケットとが異なるリセットインターバルに受信したパケットである場合に、0 から 1 に或いは 1 から 0 にトグルするトグルビットであることを特徴とするデータ転送制御装置。

3. 請求項 1 において、

20 前記パケット記憶手段がランダムアクセス可能な記憶手段であり、前記パケット記憶手段が、パケットの制御情報が格納される制御情報領域とパケットのデータが格納されるデータ領域とに分離されている場合において、

前記区別情報を、前記制御情報領域に書き込まれる前記制御情報の中に含ませることを特徴とするデータ転送制御装置。

4. バスに接続される複数のノード間でのデータ転送のためのデータ転送制御装置であって、

- 25 各ノードから受信したパケットをパケット記憶手段に書き込む書き込み手段と、

ノードのトポロジ情報をクリアするリセットの発生前の受信パケットの領域

とリセットの発生後の受信パケットの領域との、前記パケット記憶手段における境界を特定する第1のポインタ情報を記憶する第1のポインタ記憶手段と、を含むことを特徴とするデータ転送制御装置。

5. 請求項4において、

- 5 リセットの発生の直前に受信したパケットの次のパケットの先頭アドレスが、前記第1のポインタ情報として前記第1のポインタ記憶手段に記憶されることを特徴とするデータ転送制御装置。

6. 請求項4において、

- 10 処理済みパケットの領域と未処理のパケットの領域との、前記パケット記憶手段における境界を特定する第2のポインタ情報を記憶する第2のポインタ記憶手段と、

受信済みパケットの領域とパケットを未受信の領域との、前記パケット記憶手段における境界を特定する第3のポインタ情報を記憶する第3のポインタ記憶手段とを含むことを特徴とするデータ転送制御装置。

- 15 7. 請求項4において、

前記第1のポインタ記憶手段に記憶される前記第1のポインタ情報に基づいてリセット発生後の受信パケットを特定し、該パケットを優先的に処理する処理手段を含むことを特徴とするデータ転送制御装置。

8. 請求項4において、

- 20 前記パケット記憶手段がランダムアクセス可能な記憶手段であり、前記パケット記憶手段が、パケットの制御情報が格納される制御情報領域とパケットのデータが格納されるデータ領域とに分離されている場合において、

前記第1のポインタ記憶手段が、

- 25 ノードのトポロジ情報をクリアするリセットの発生前の受信パケットの制御情報とリセット発生後の受信パケットの制御情報との、前記制御情報領域における境界を特定する第4のポインタ情報を記憶する第4のポインタ記憶手段と、ノードのトポロジ情報をクリアするリセットの発生前の受信パケットのデー

タとリセット発生後の受信パケットのデータとの、前記データ領域における境界を特定する第5のポインタ情報を記憶する第5のポインタ記憶手段とを含むことを特徴とするデータ転送制御装置。

9. 請求項8において、

- 5 前記データ領域が、第1の層用の第1のデータが格納される第1のデータ領域と、第2の層用の第2のデータが格納される第2のデータ領域とに分離されている場合において、

前記第5のポインタ情報が、

- 10 ノードのトポロジ情報をクリアするリセットの発生前の受信パケットの第1のデータとリセットの発生後の受信パケットの第1のデータとの、前記第1のデータ領域における境界を特定するポインタ情報であることを特徴とするデータ転送制御装置。

10. バスに接続される複数のノード間でのデータ転送のためのデータ転送制御装置であって、

- 15 送信開始コマンドが発行された場合に、パケット記憶手段からパケットを読み出す読み出し手段と、

読み出されたパケットを各ノードに送信するためのサービスを提供するリンク手段と、

- 20 ノードのトポロジ情報をクリアするリセットの発生によりパケットの送信が中止された場合に、リセットの発生によりパケットの送信が中止されたことを知らせるステータス情報を記憶するステータス記憶手段と、

を含むことを特徴とするデータ転送制御装置。

11. 請求項10において、

前記送信開始コマンドを発行する処理手段を含み、

- 25 前記処理手段が、

リセットの発生によりパケットの送信が中止されたと前記ステータス情報に基づいて判断した場合には、送信が完了したか否かを判断することなく、開始

した送信処理をキャンセルすることを特徴とするデータ転送制御装置。

12. 請求項1において、

前記リセットが、IEEE 1394の規格において定義されるバスリセットであることを特徴とするデータ転送制御装置。

5 13. 請求項4において、

前記リセットが、IEEE 1394の規格において定義されるバスリセットであることを特徴とするデータ転送制御装置。

14. 請求項10において、

10 前記リセットが、IEEE 1394の規格において定義されるバスリセットであることを特徴とするデータ転送制御装置。

15. 請求項1において、

IEEE 1394の規格に準拠したデータ転送を行うことを特徴とするデータ転送制御装置。

16. 請求項4において、

15 IEEE 1394の規格に準拠したデータ転送を行うことを特徴とするデータ転送制御装置。

17. 請求項10において、

IEEE 1394の規格に準拠したデータ転送を行うことを特徴とするデータ転送制御装置。

20 18. 請求項1乃至3及び12及び15のいずれかのデータ転送制御装置と、

前記データ転送制御装置及びバスを介して他のノードから受信したデータに所与の処理を施す装置と、

処理が施されたデータを出力又は記憶するための装置とを含むことを特徴とする電子機器。

25 19. 請求項4乃至9及び13及び16のいずれかのデータ転送制御装置と、

前記データ転送制御装置及びバスを介して他のノードから受信したデータに所与の処理を施す装置と、

処理が施されたデータを出力又は記憶するための装置とを含むことを特徴とする電子機器。

20. 請求項10乃至11及び14及び17のいずれかのデータ転送制御装置と、

- 5 前記データ転送制御装置及びバスを介して他のノードから受信したデータに所与の処理を施す装置と、

処理が施されたデータを出力又は記憶するための装置とを含むことを特徴とする電子機器。

21. 請求項1乃至3及び12及び15のいずれかのデータ転送制御装置と、

- 10 前記データ転送制御装置及びバスを介して他のノードに送信するデータに所与の処理を施す装置と、

処理が施されるデータを取り込むための装置とを含むことを特徴とする電子機器。

22. 請求項4乃至9及び13及び16のいずれかのデータ転送制御装置と、

- 15 前記データ転送制御装置及びバスを介して他のノードに送信するデータに所与の処理を施す装置と、

処理が施されるデータを取り込むための装置とを含むことを特徴とする電子機器。

23. 請求項10乃至11及び14及び17のいずれかのデータ転送制御装置と、

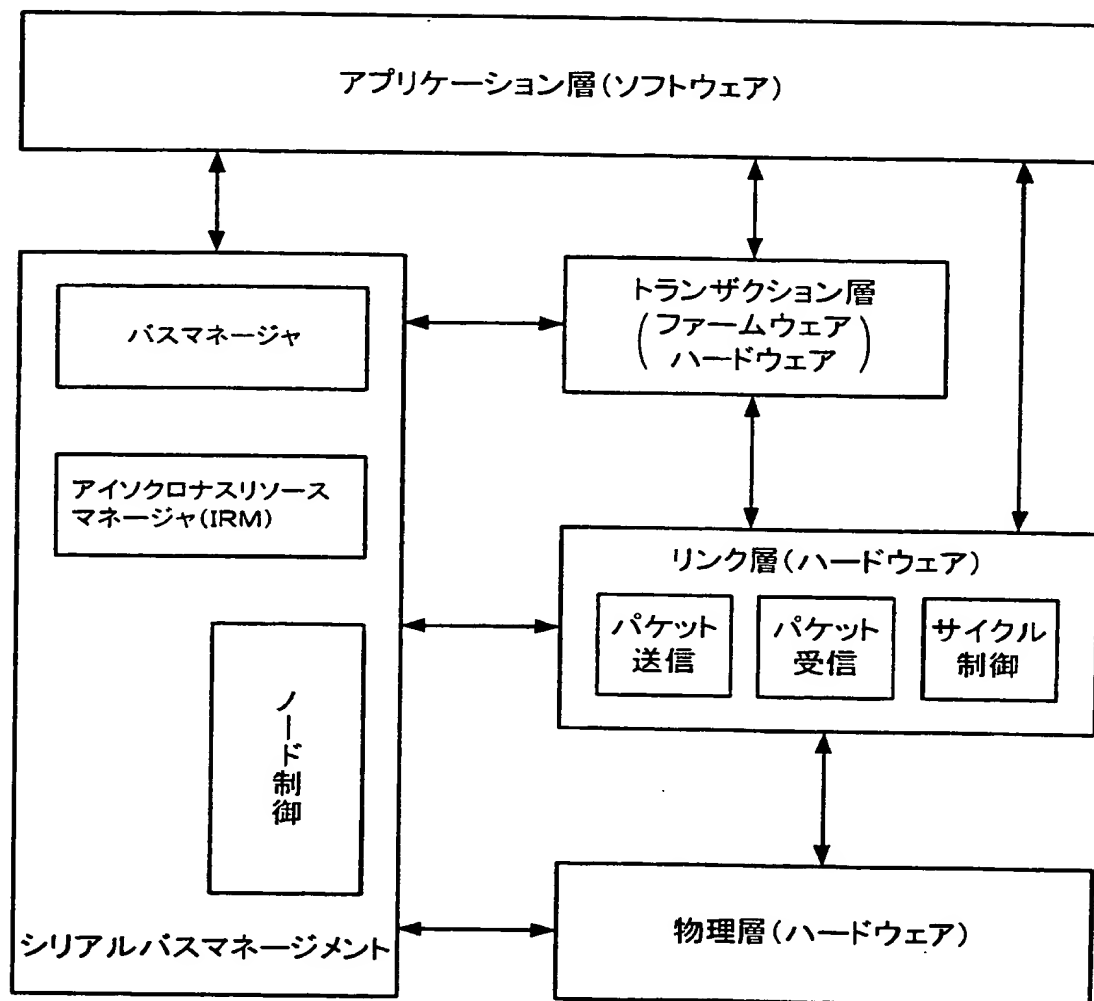
20

前記データ転送制御装置及びバスを介して他のノードに送信するデータに所与の処理を施す装置と、

処理が施されるデータを取り込むための装置とを含むことを特徴とする電子機器。

1/28

FIG.1



THIS PAGE BLANK (USPTO)

2/28

FIG.2A

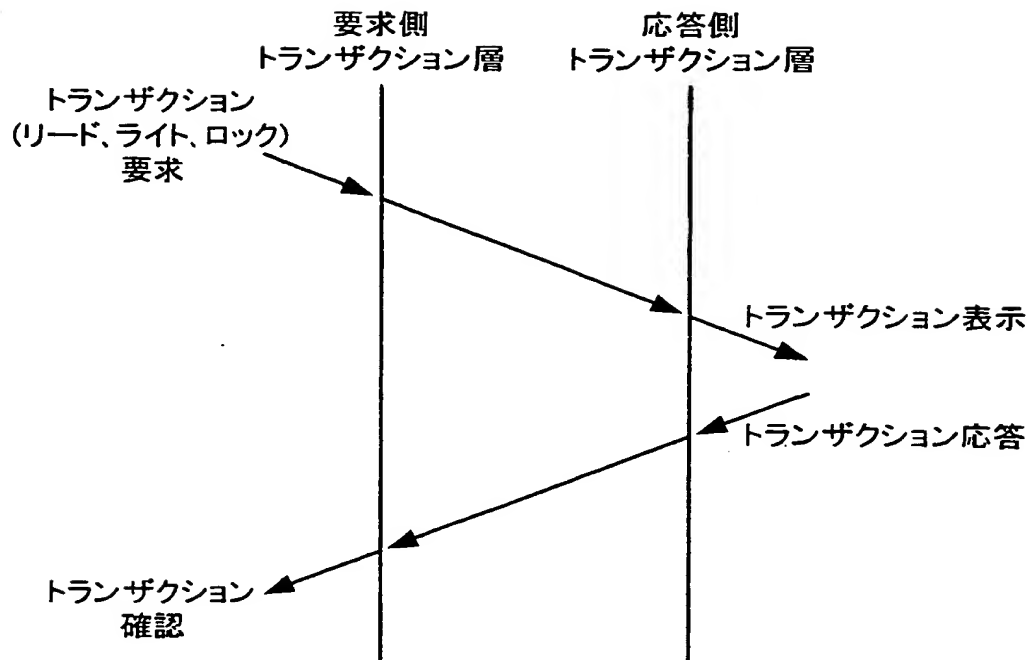
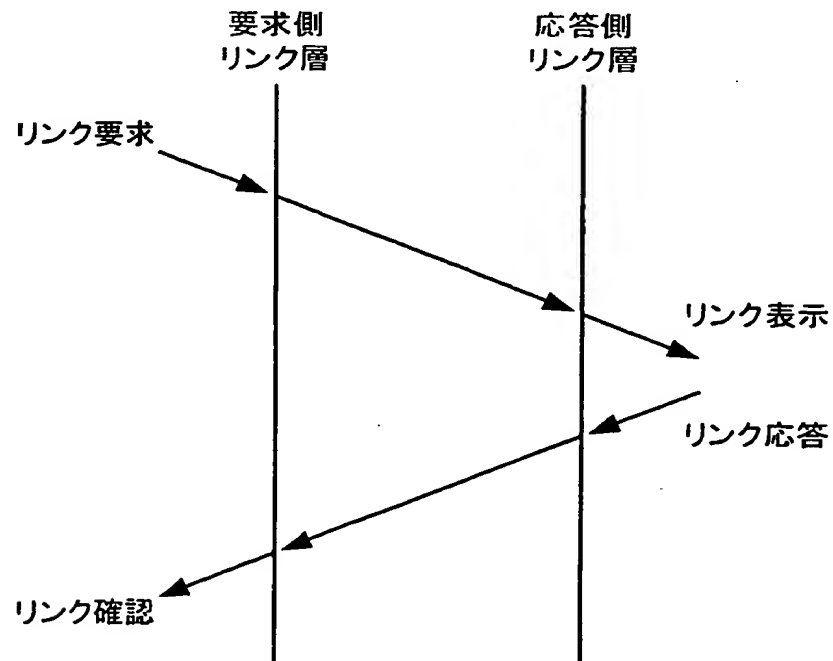


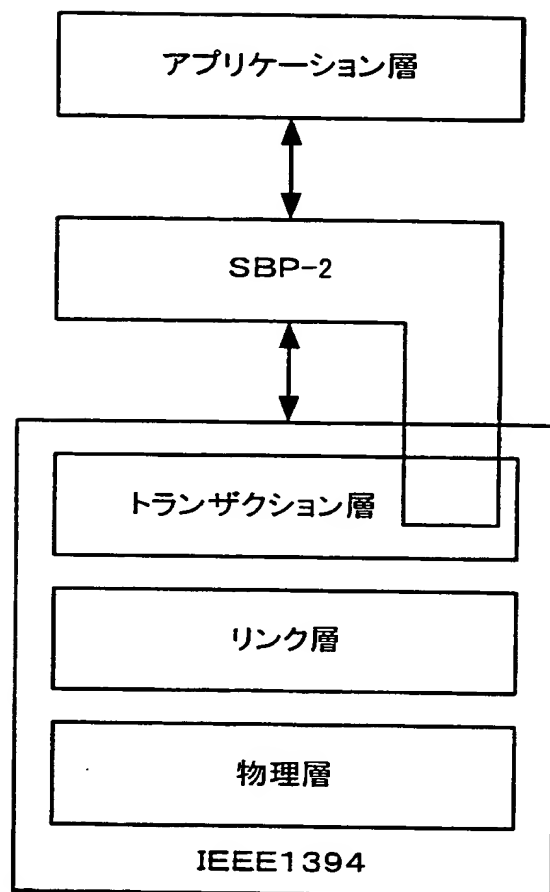
FIG.2B



THIS PAGE BLANK (US)

3/28

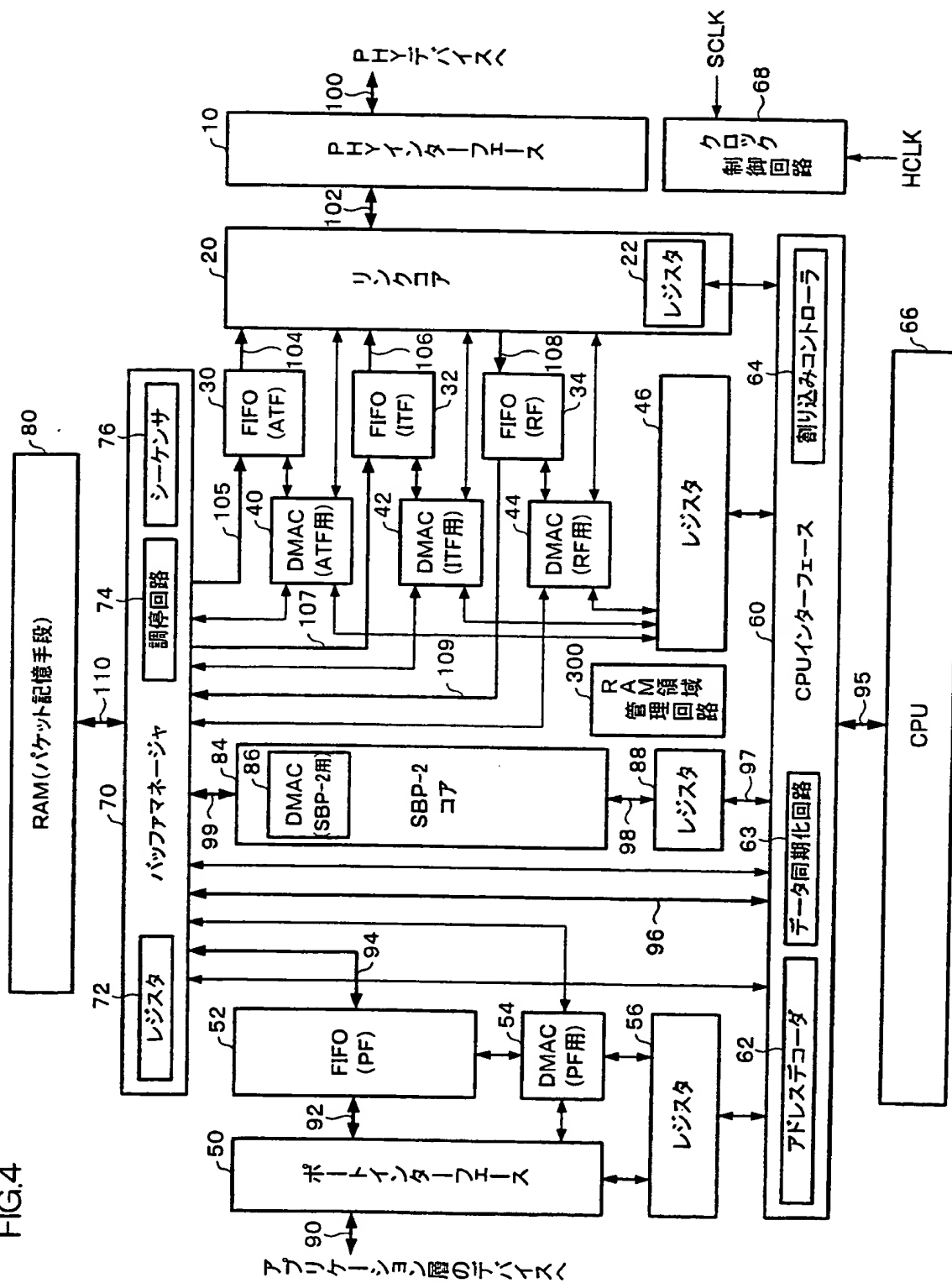
FIG. 3



THIS PAGE BLANK (USPTO)

4/28

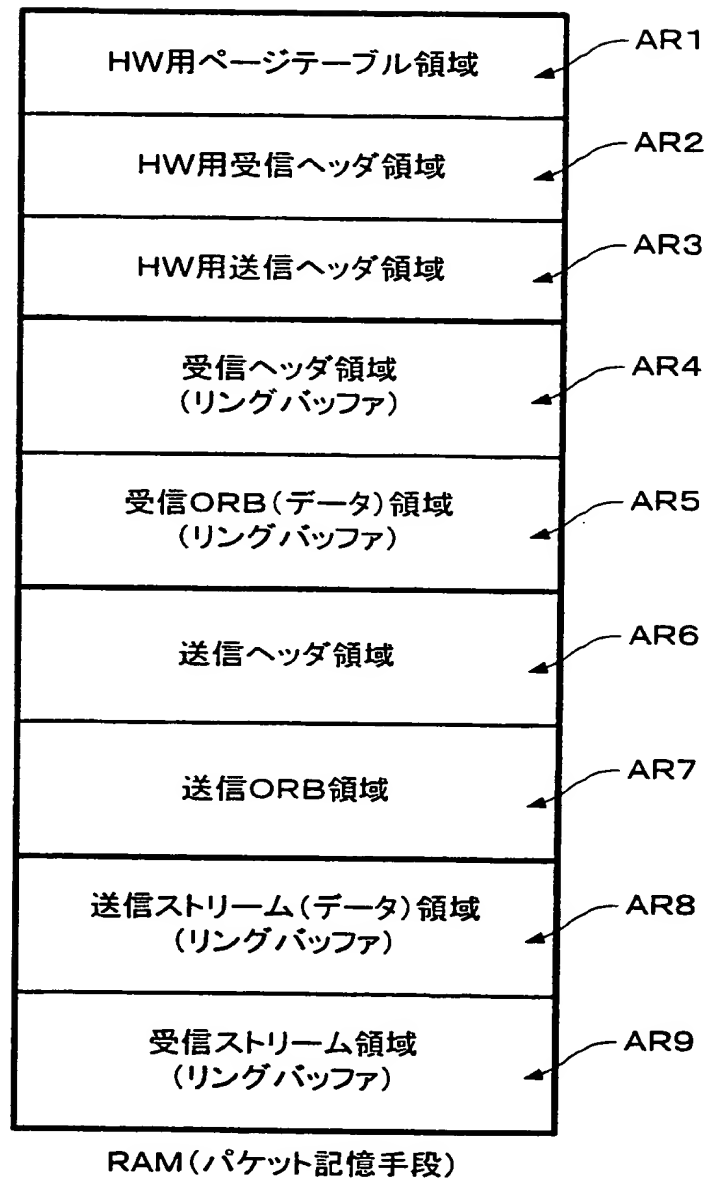
FIG.4



THIS PAGE BLANK (USPTO)

5/28

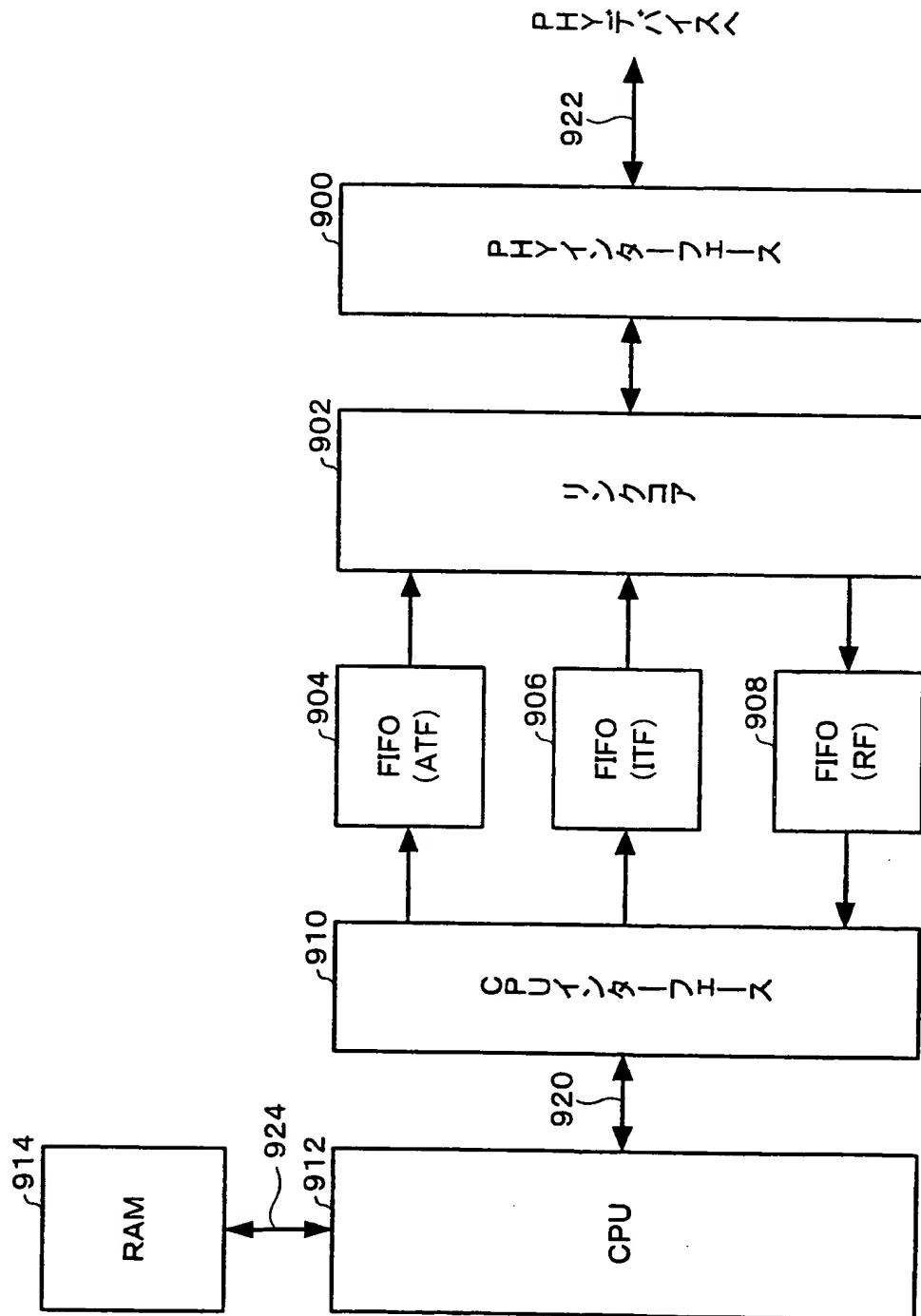
FIG.5



THIS PAGE BLANK (USPTO)

6/28

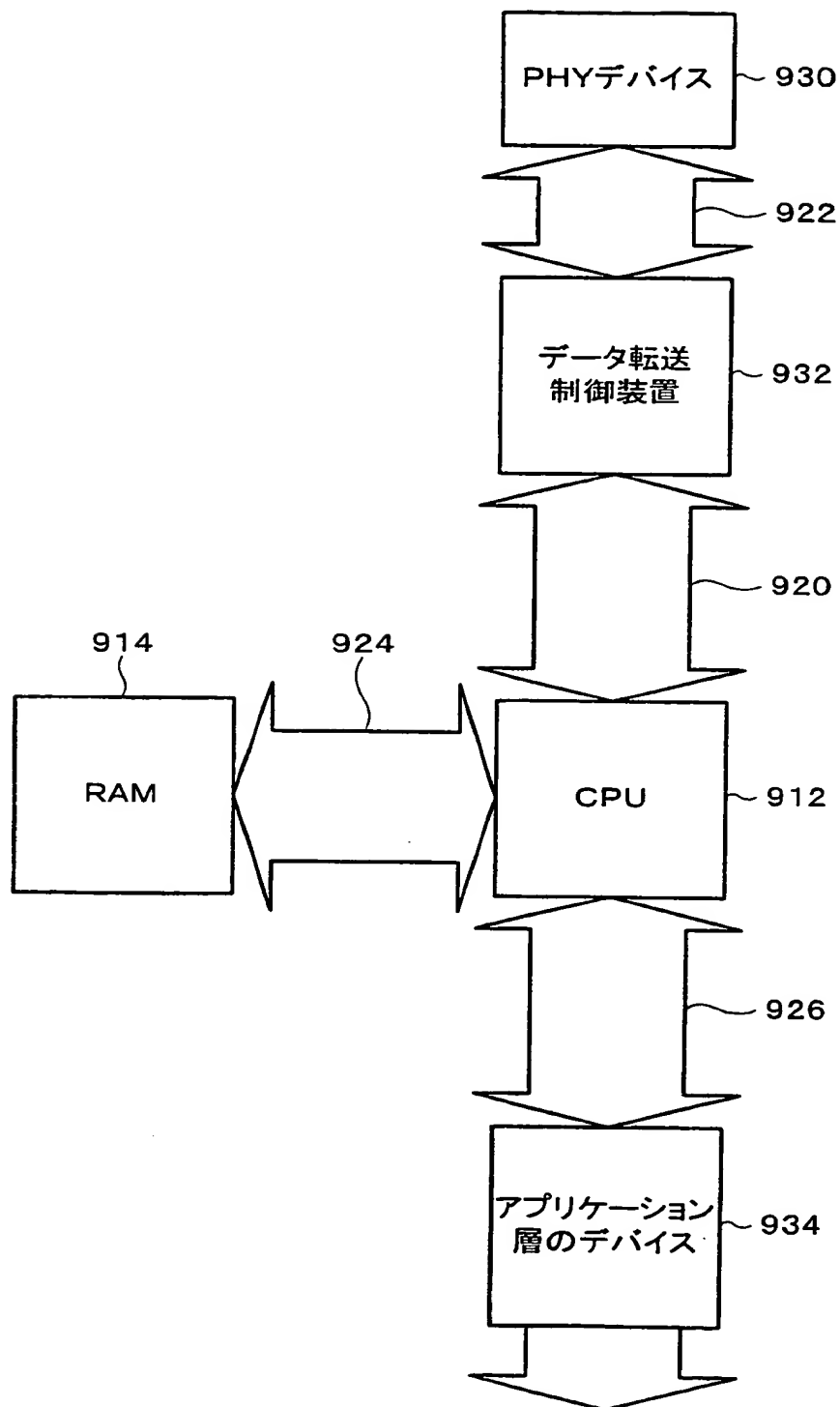
FIG.6



THIS PAGE BLANK (USPTO)

7/28

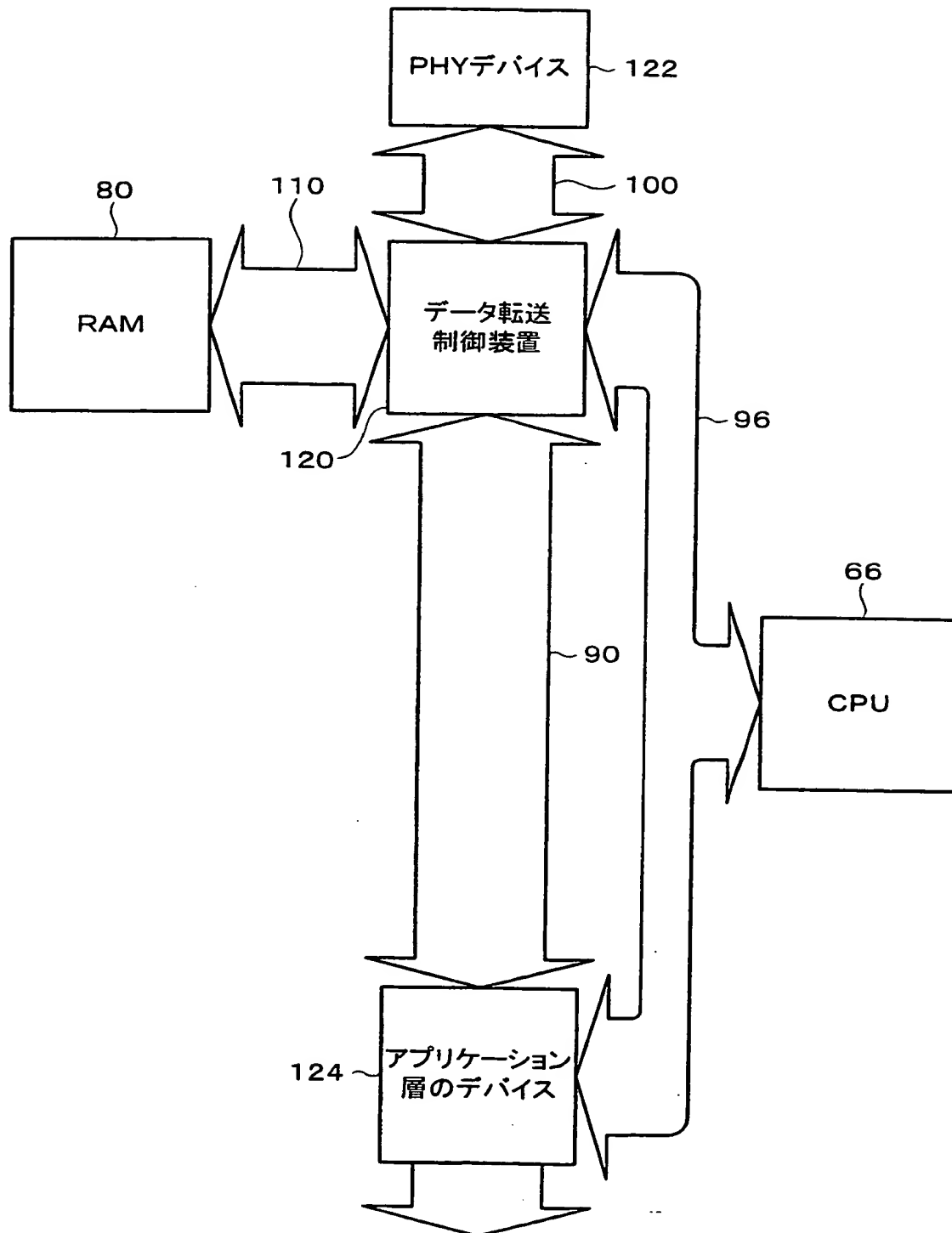
FIG.7



THIS PAGE BLANK (USPTO)

8/28

FIG.8



THIS PAGE BLANK (USPTO)

9/28

FIG.9A

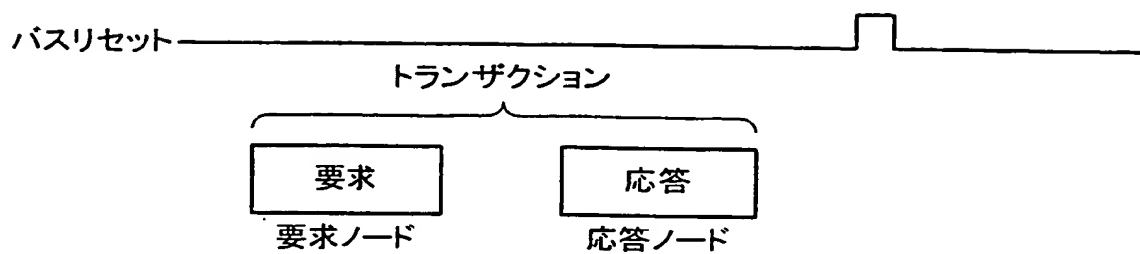
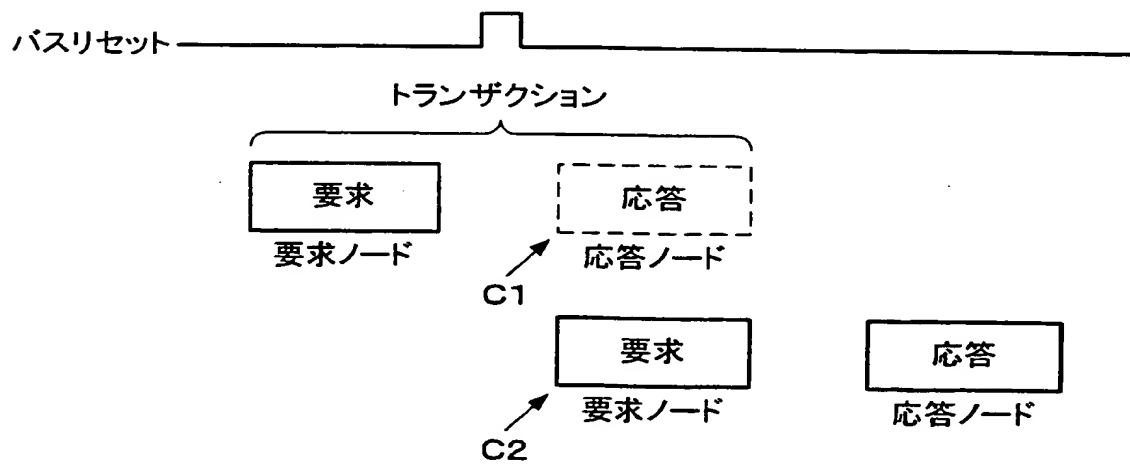
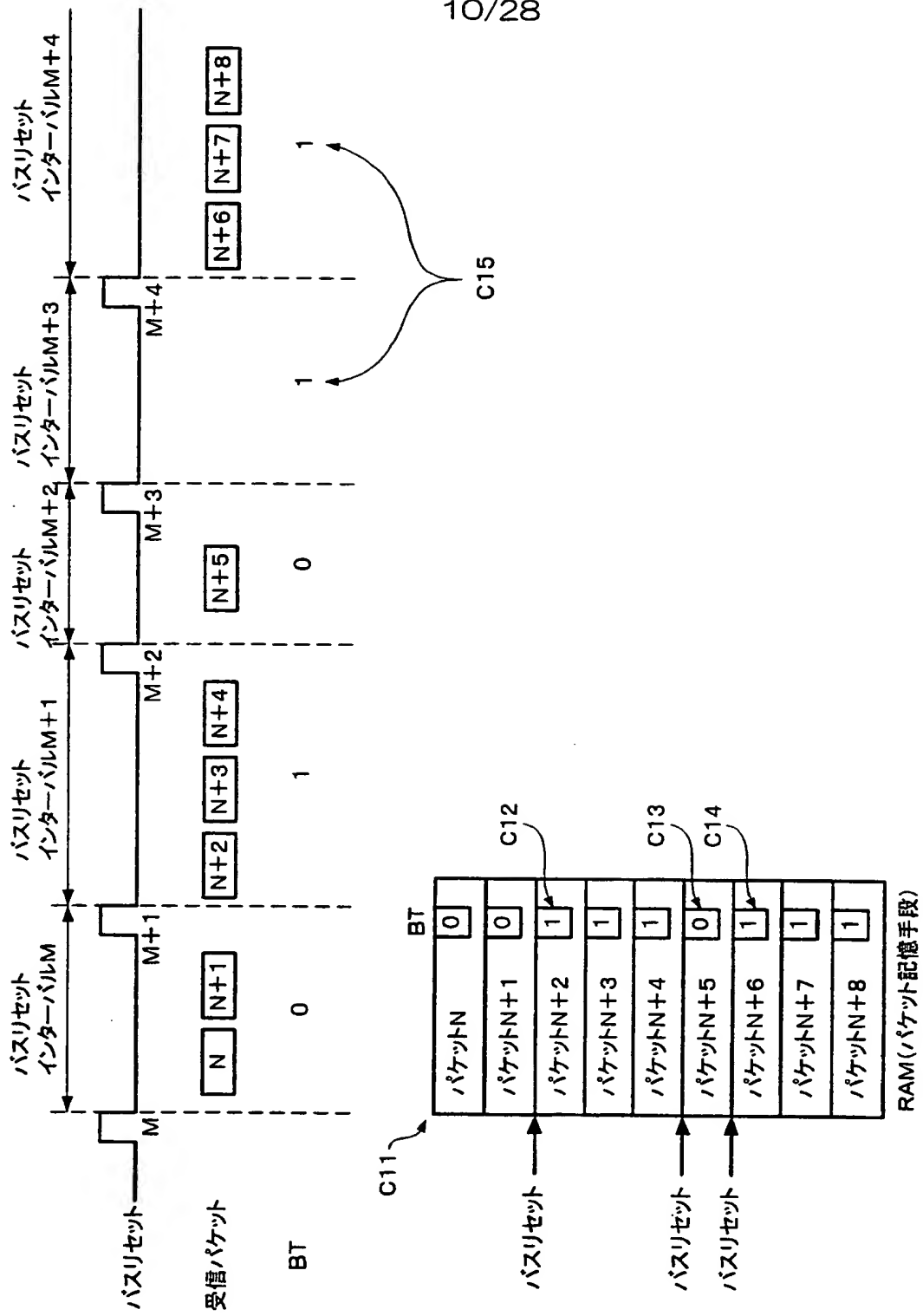


FIG.9B



THIS PAGE BLANK (USPTO)

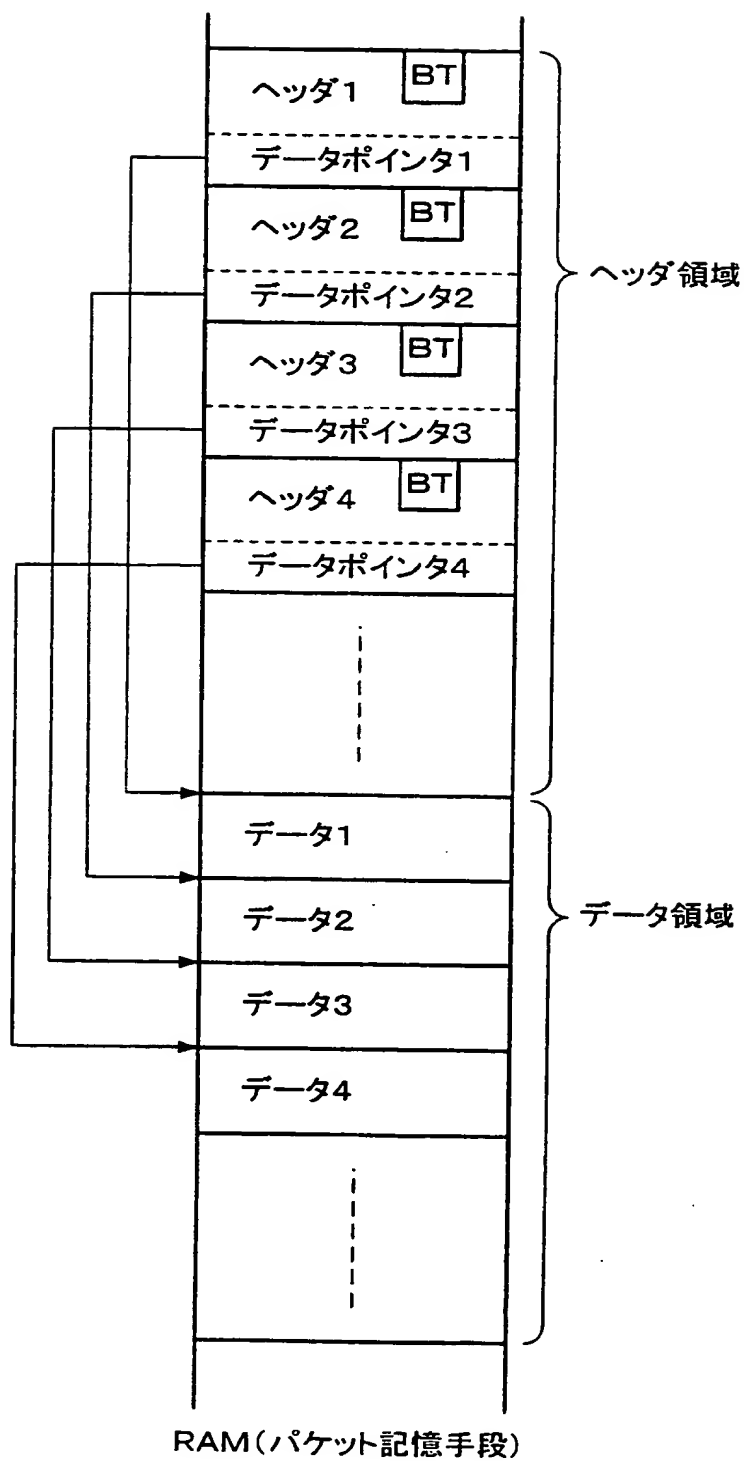
FIG.10



THIS PAGE BLANK (USPTO)

11/28

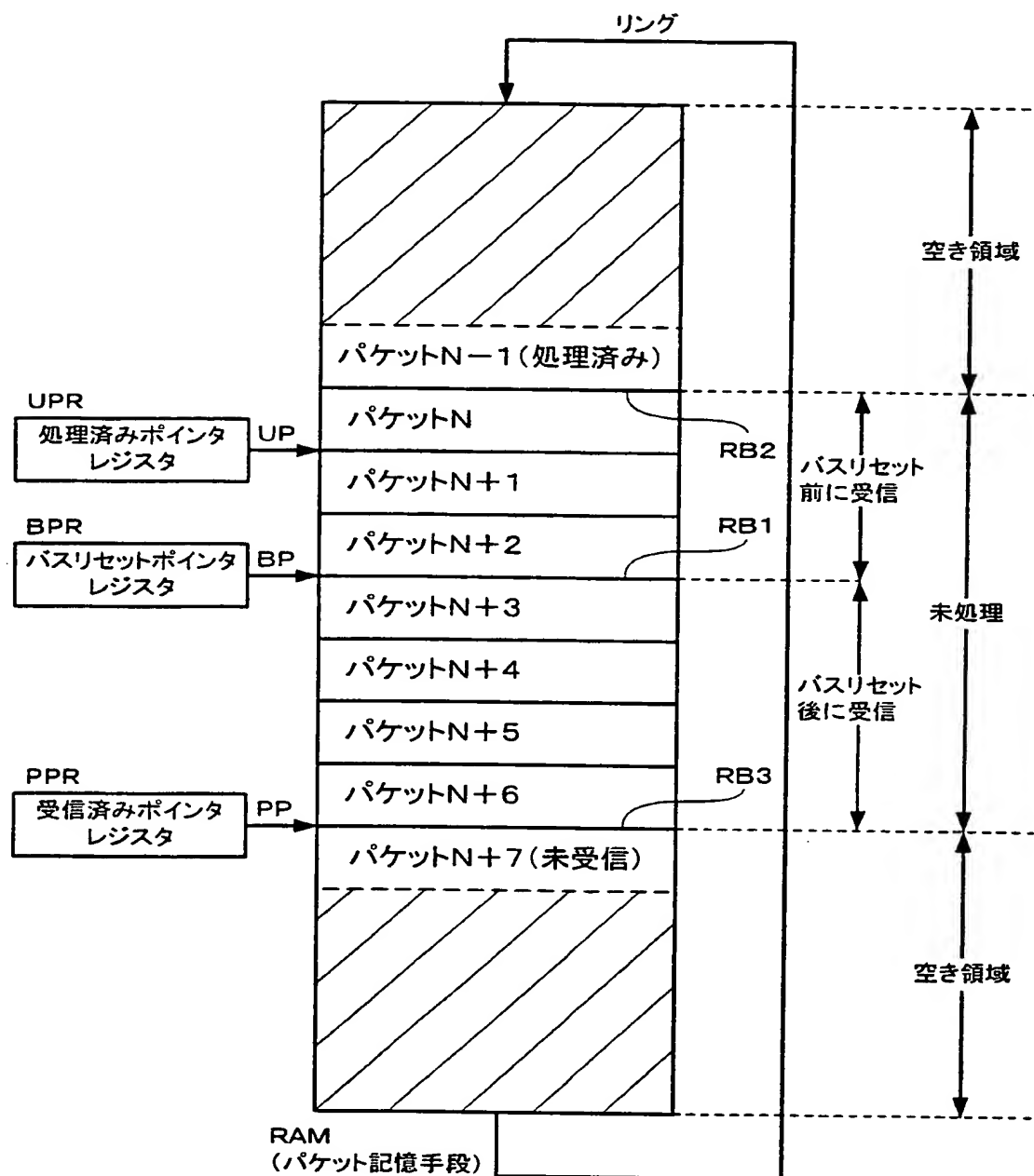
FIG.11



THIS PAGE BLANK (USPTO)

12/28

FIG.12



THIS PAGE BLANK (USPTO)

FIG.13A
比較例

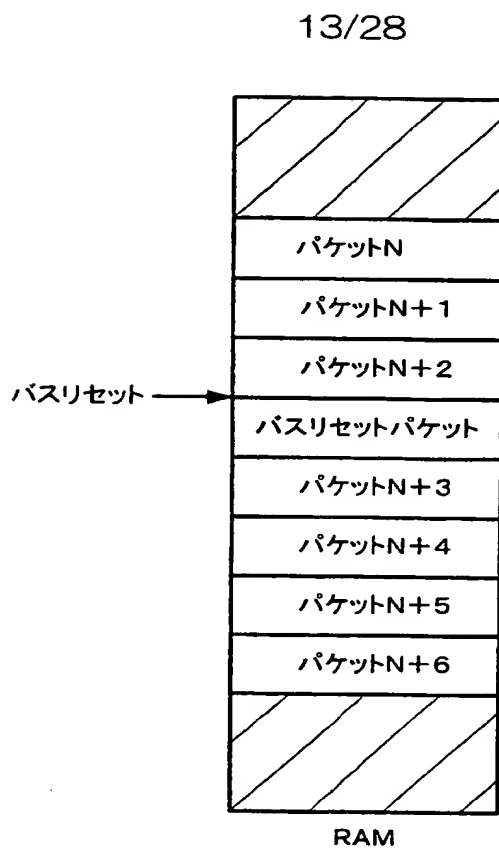


FIG.13B

バスリセットパケットを用いる手法

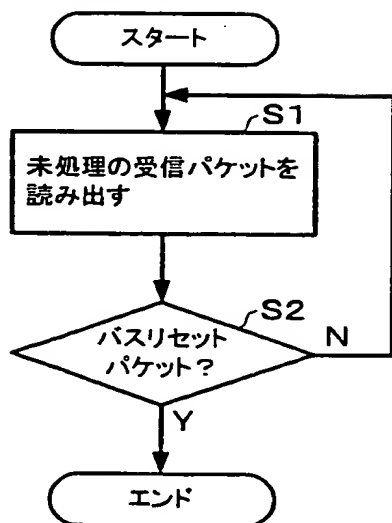
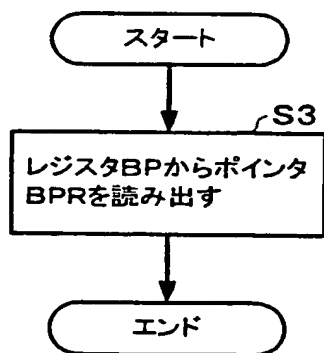


FIG.13C

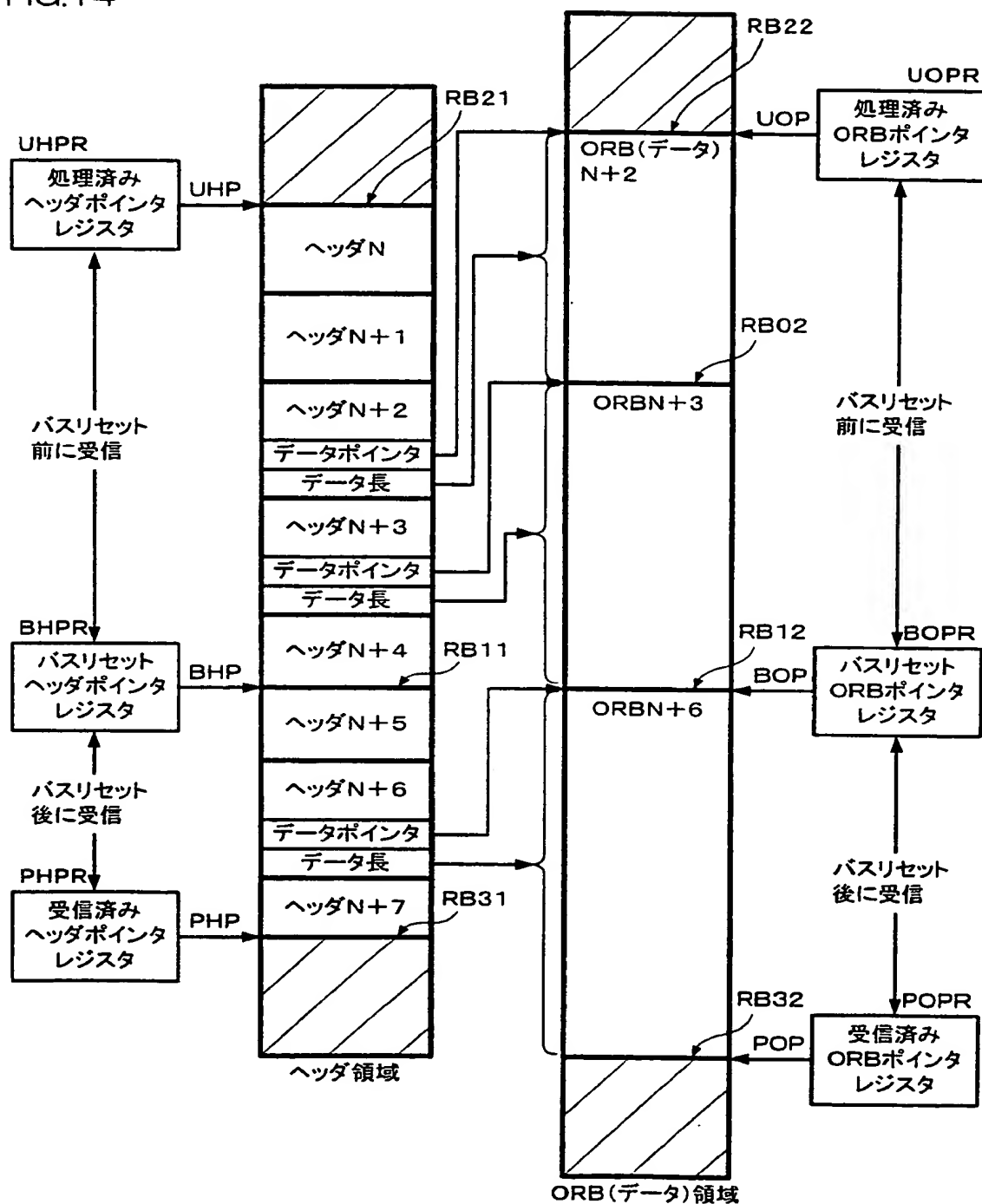
バスリセットポインタを用いる手法



THIS PAGE BLANK (USPTO)

14/28

FIG.14



THIS PAGE BLANK (USPTO)

15/28

FIG.15A

バスリセットヘッダポインタのみを用いる手法

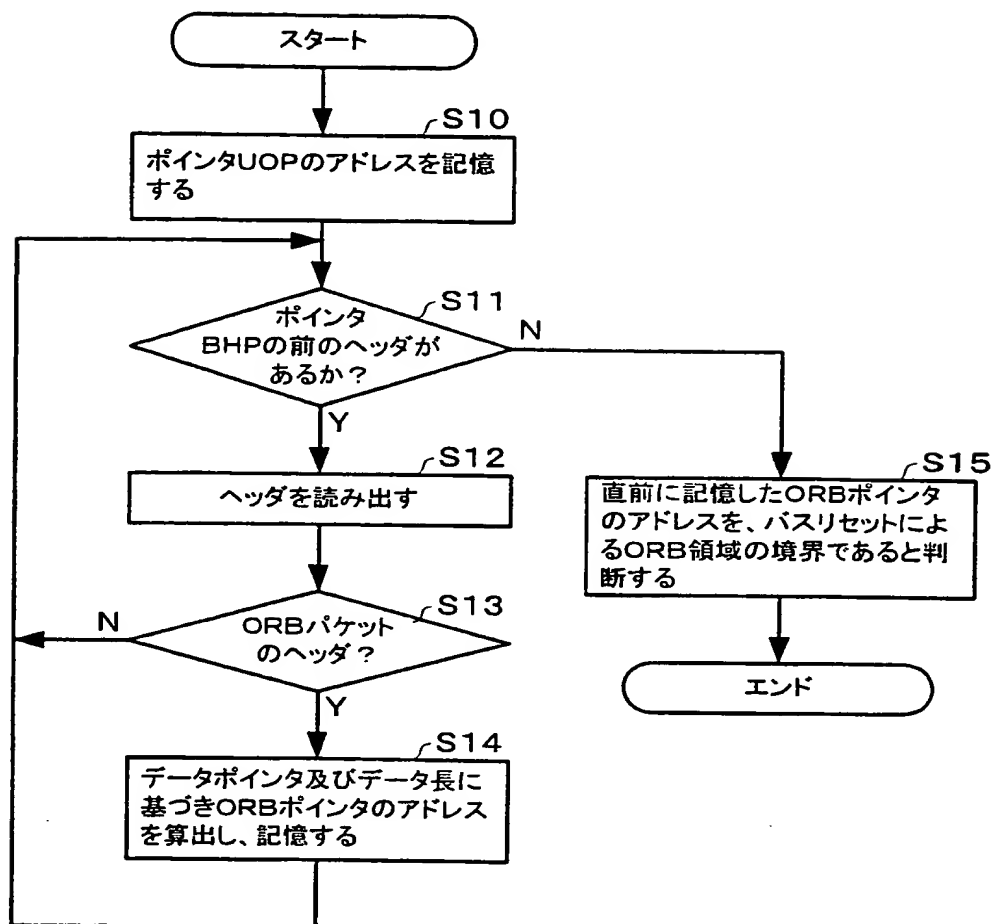
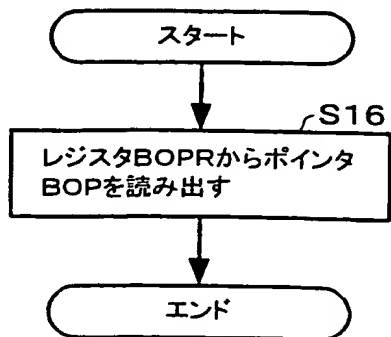


FIG.15B

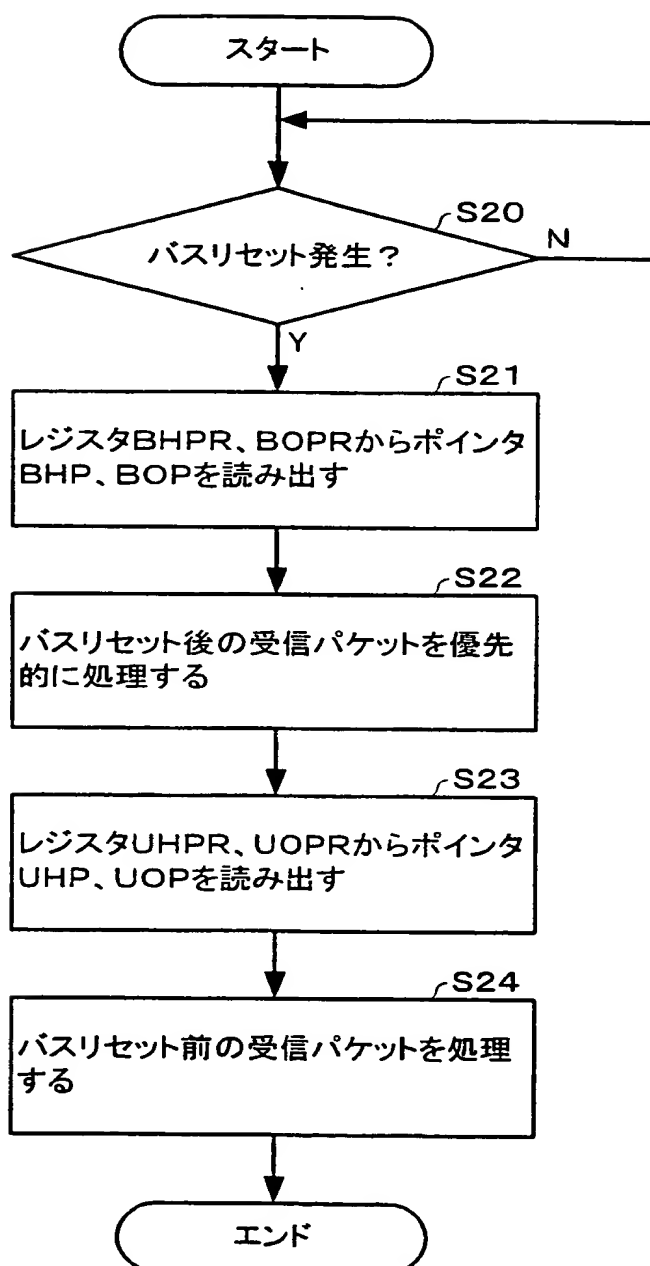
バスリセットORBポインタを用いる手法



THIS PAGE BLANK (USPTO)

16/28

FIG.16



THIS PAGE BLANK

17/28

FIG.17A

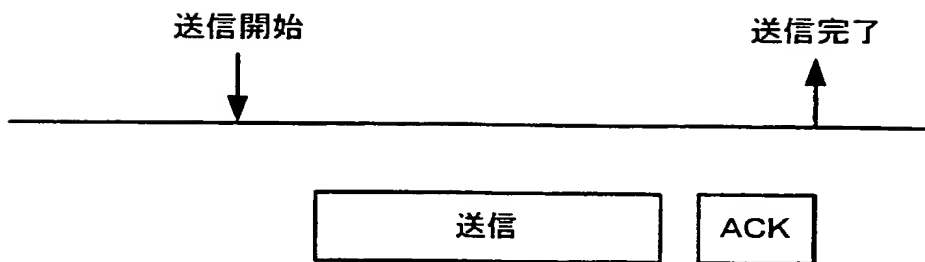


FIG.17B

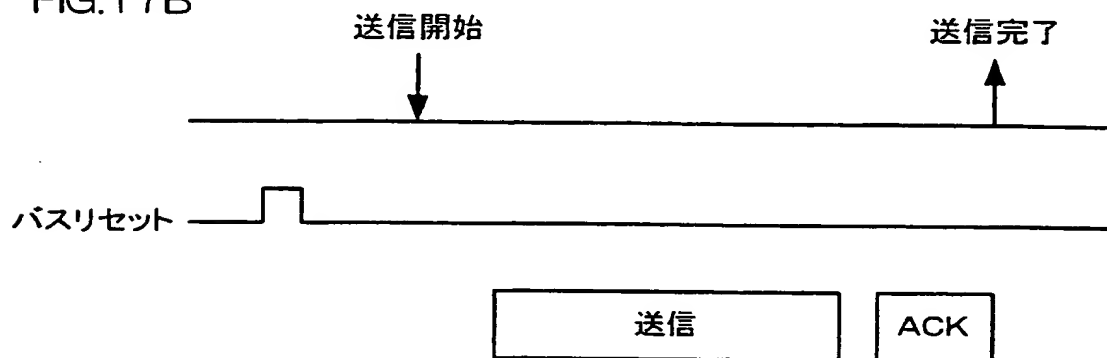


FIG.17C

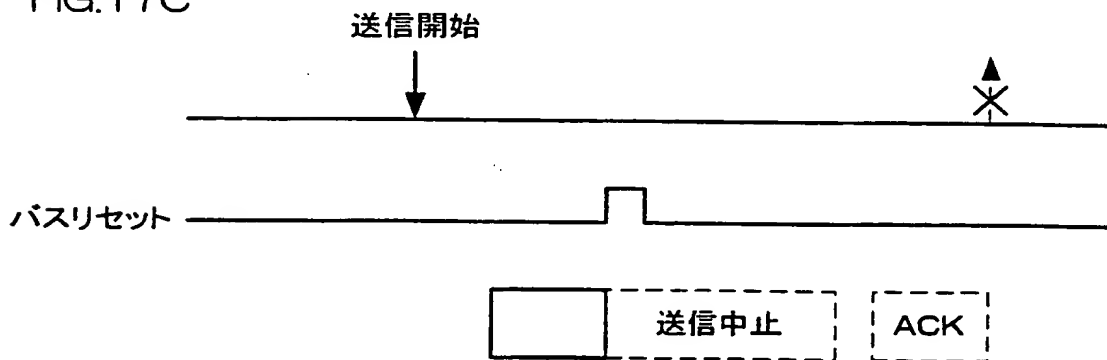
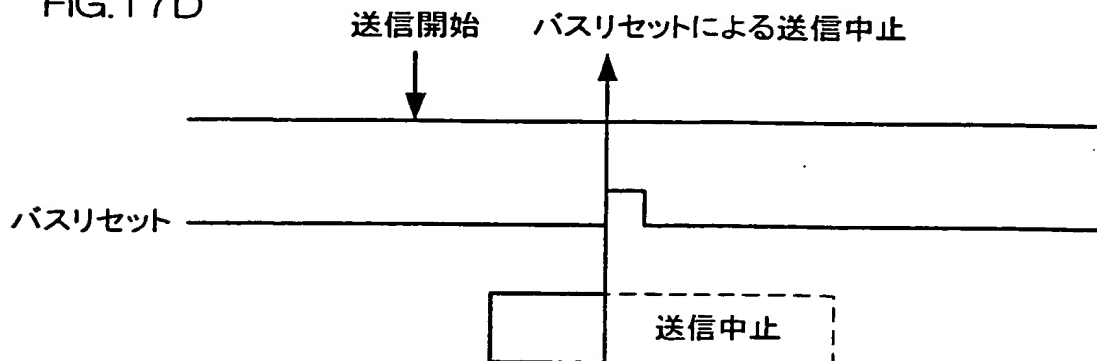


FIG.17D



THIS PAGE BLANK (USPTO)

18/28

FIG.18A

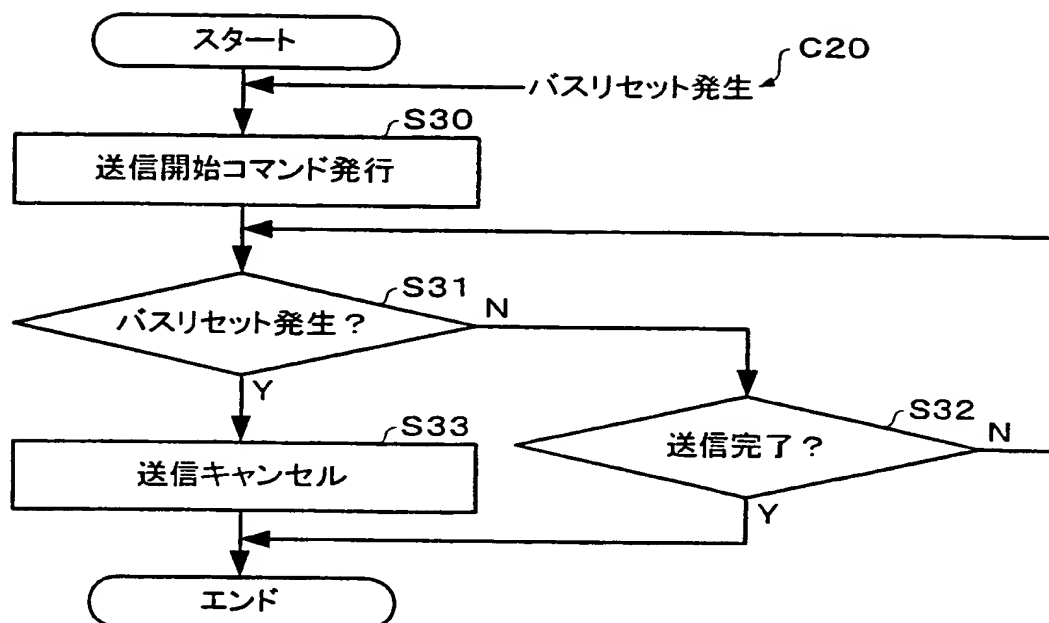
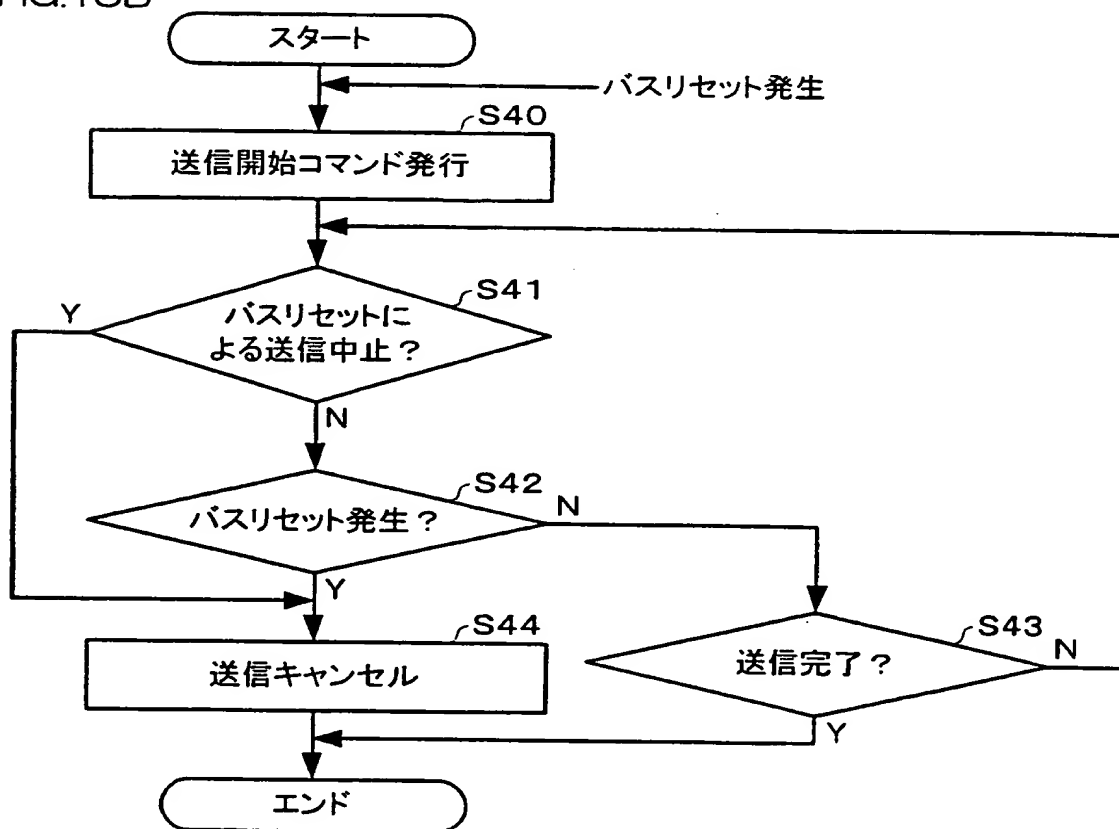
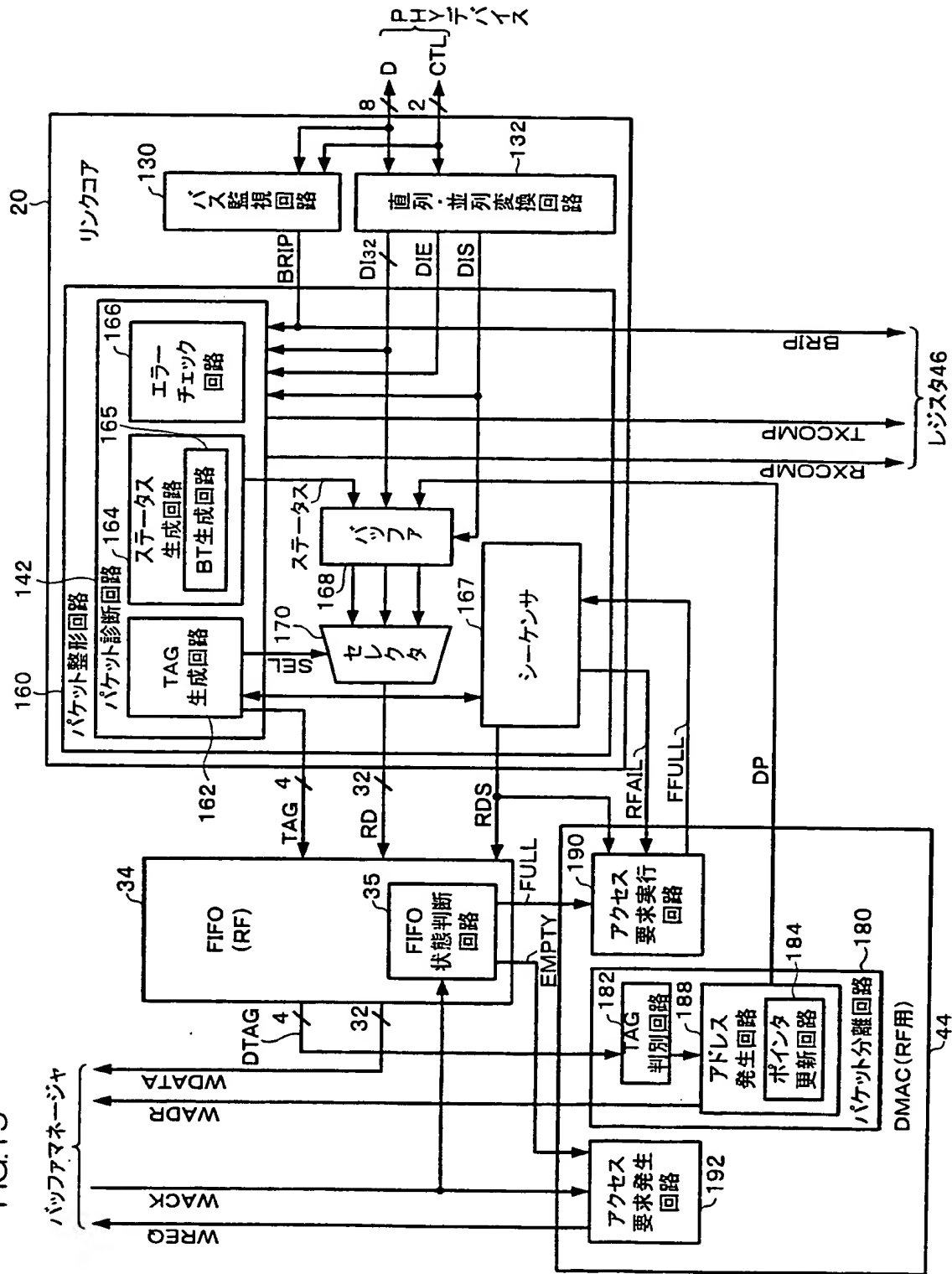


FIG.18B



THIS PAGE BLANK (USPTO)

FIG. 19



THIS PAGE BLANK (USPTO)

FIG.20A

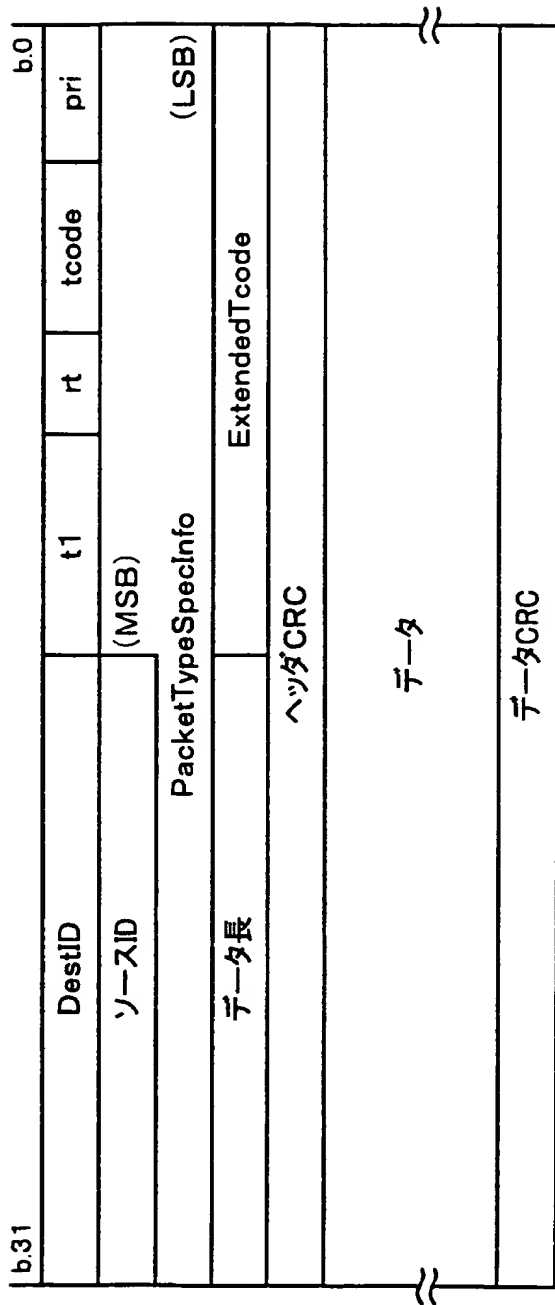
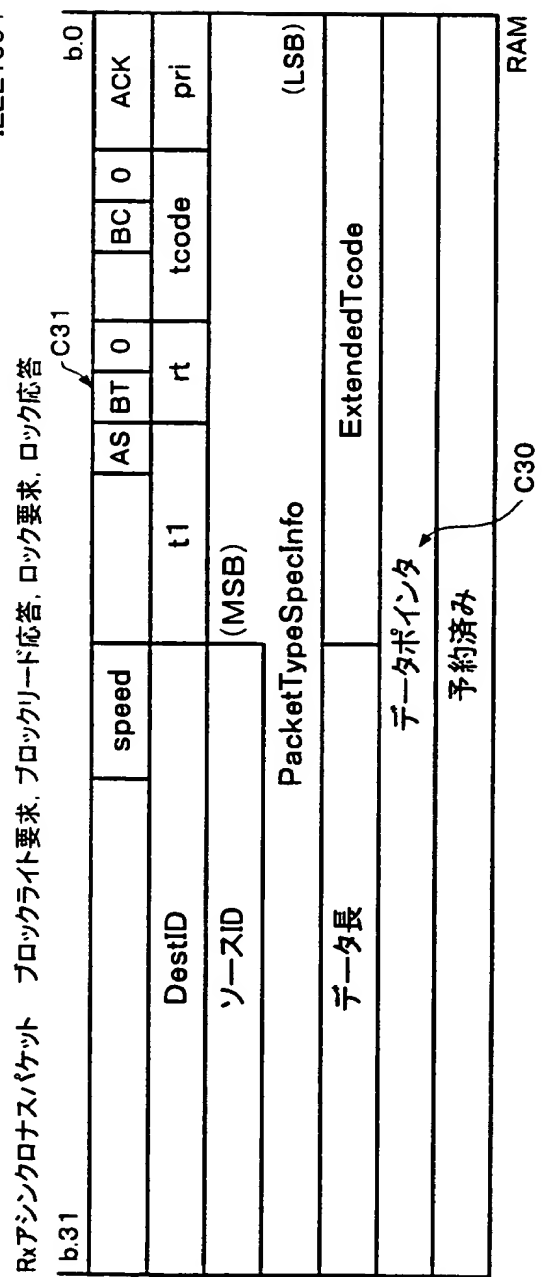


FIG.20B





THIS PAGE BLANK (USPTO)

21/28

FIG.21

TAG(DTAG)	意味
0001	FW-SOP
0010	FW-HDR
0011	FW-FTR
0100	FW-ORB
0101	FW-STRM
1001	HW-SOP
1010	HW-HDR
1011	HW-FTR
1100	HW-ORB
1101	HW-STRM

FW ファームウェア
HW ハードウェア
SOP スタートオブパケット
 (受信パケットの最初の1クワドレット)
HDR SOP以外のヘッダ
FTR ACK送信
ORB ORB(データ)
STRM ストリーム(データ)

THIS PAGE BLANK (USPTO)

22/28

FIG.22A

装置のリセット

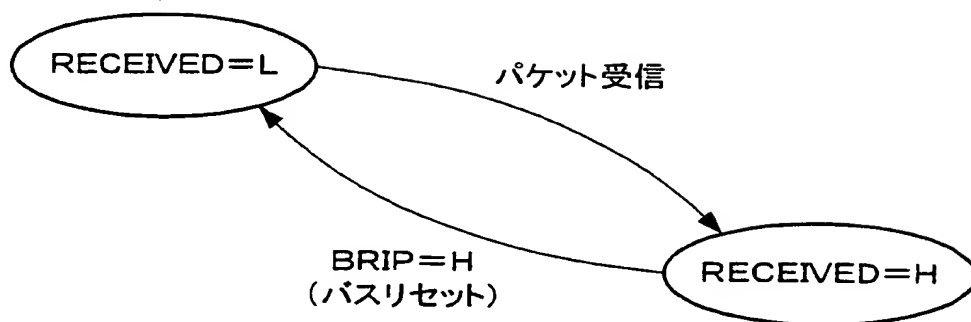
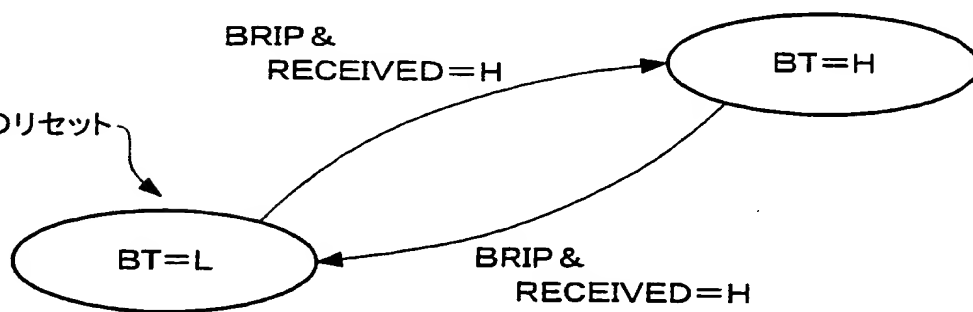


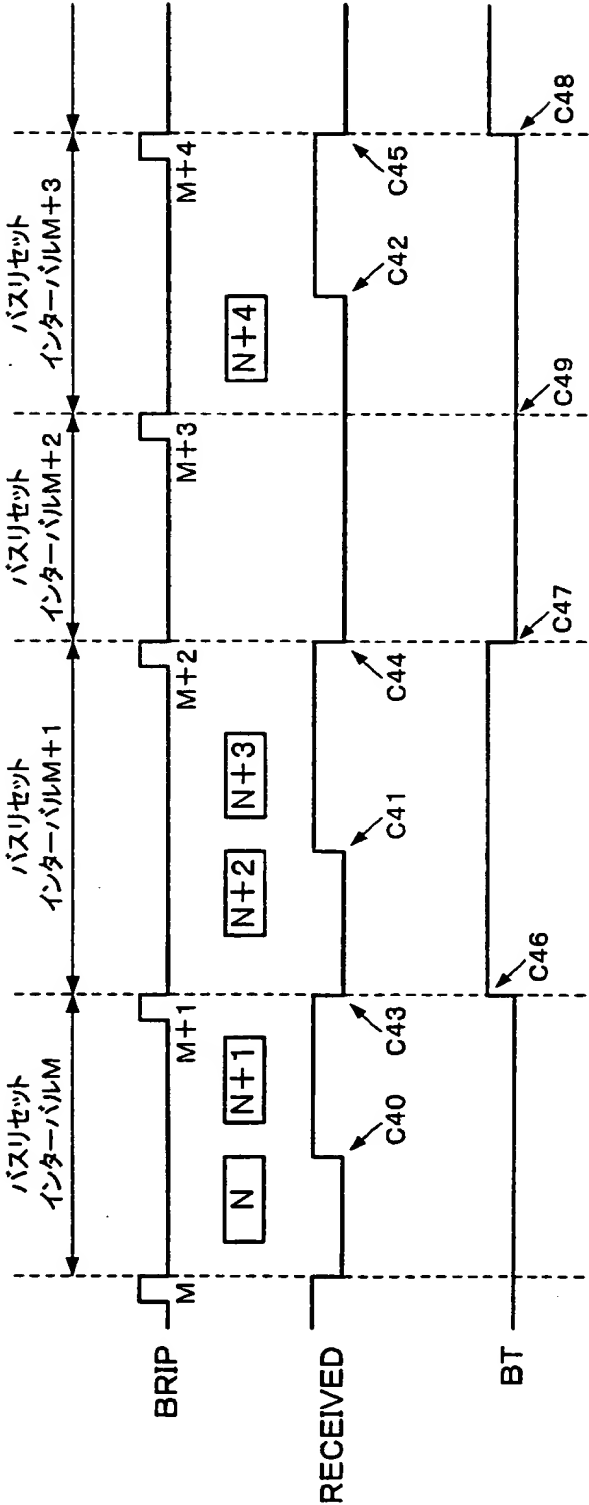
FIG.22B

装置のリセット



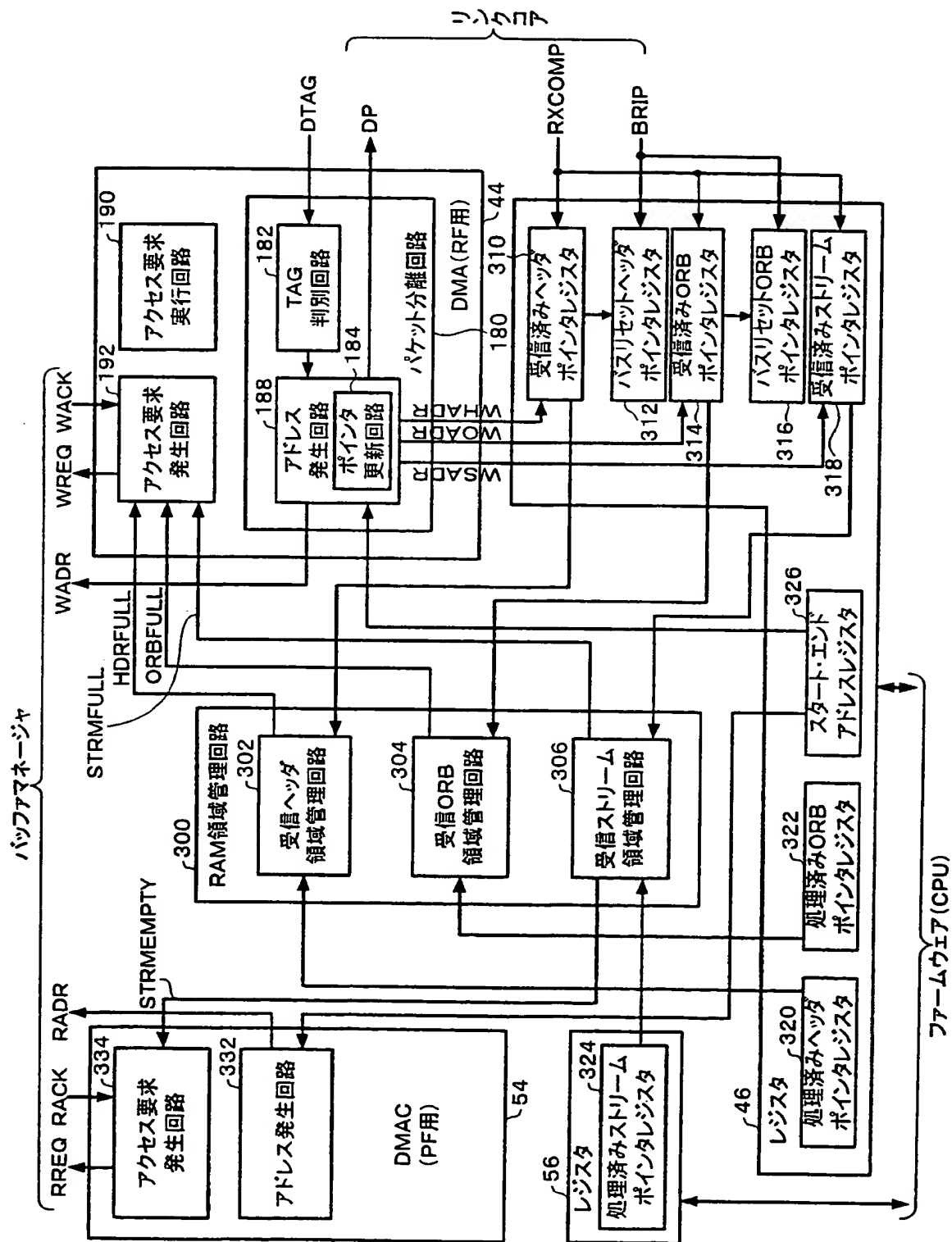
THIS PAGE BLANK (USPTO)

FIG.23



THIS PAGE BLANK (USPTO)

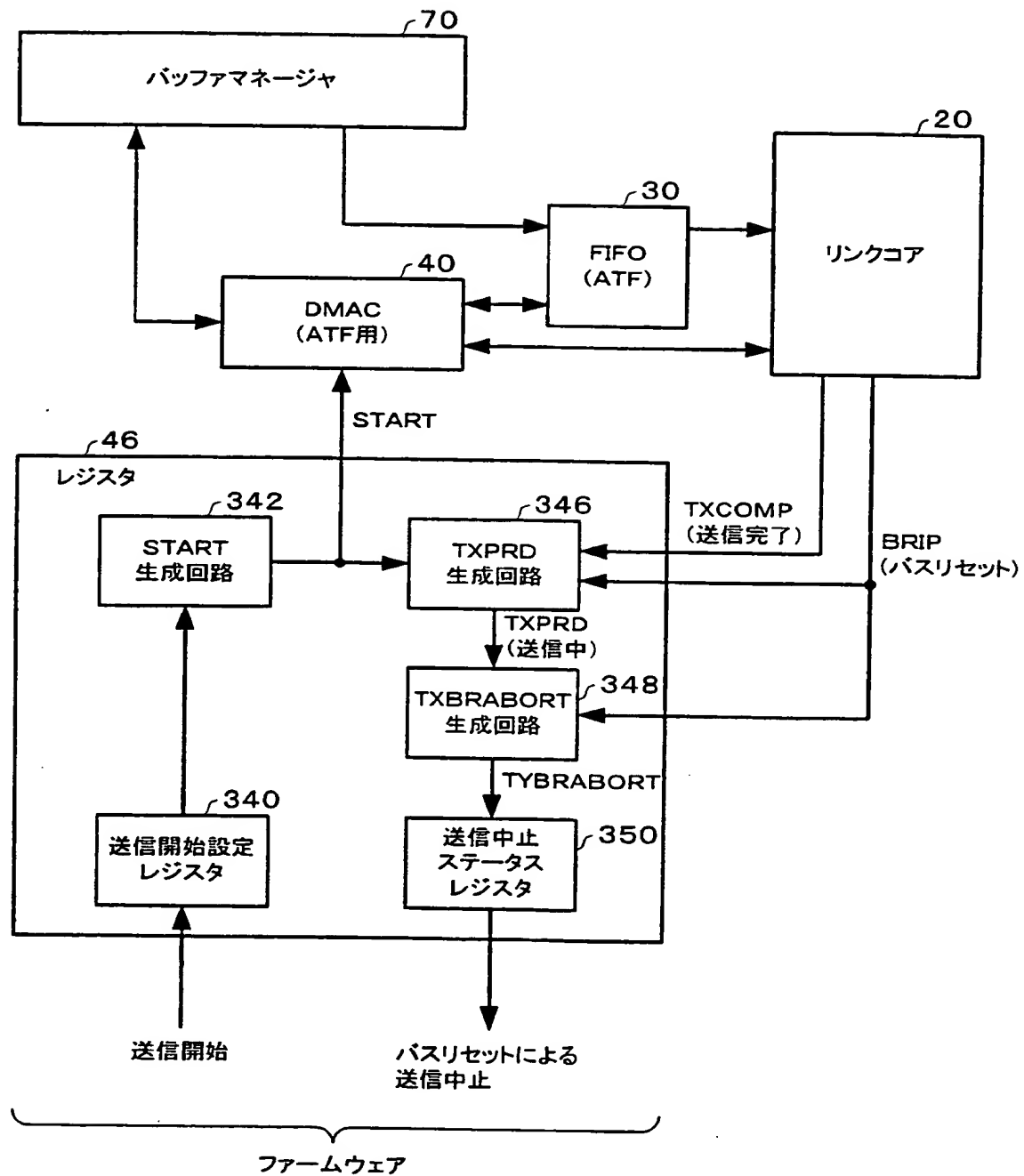
FIG.24



THIS PAGE BLANK (USPTO)

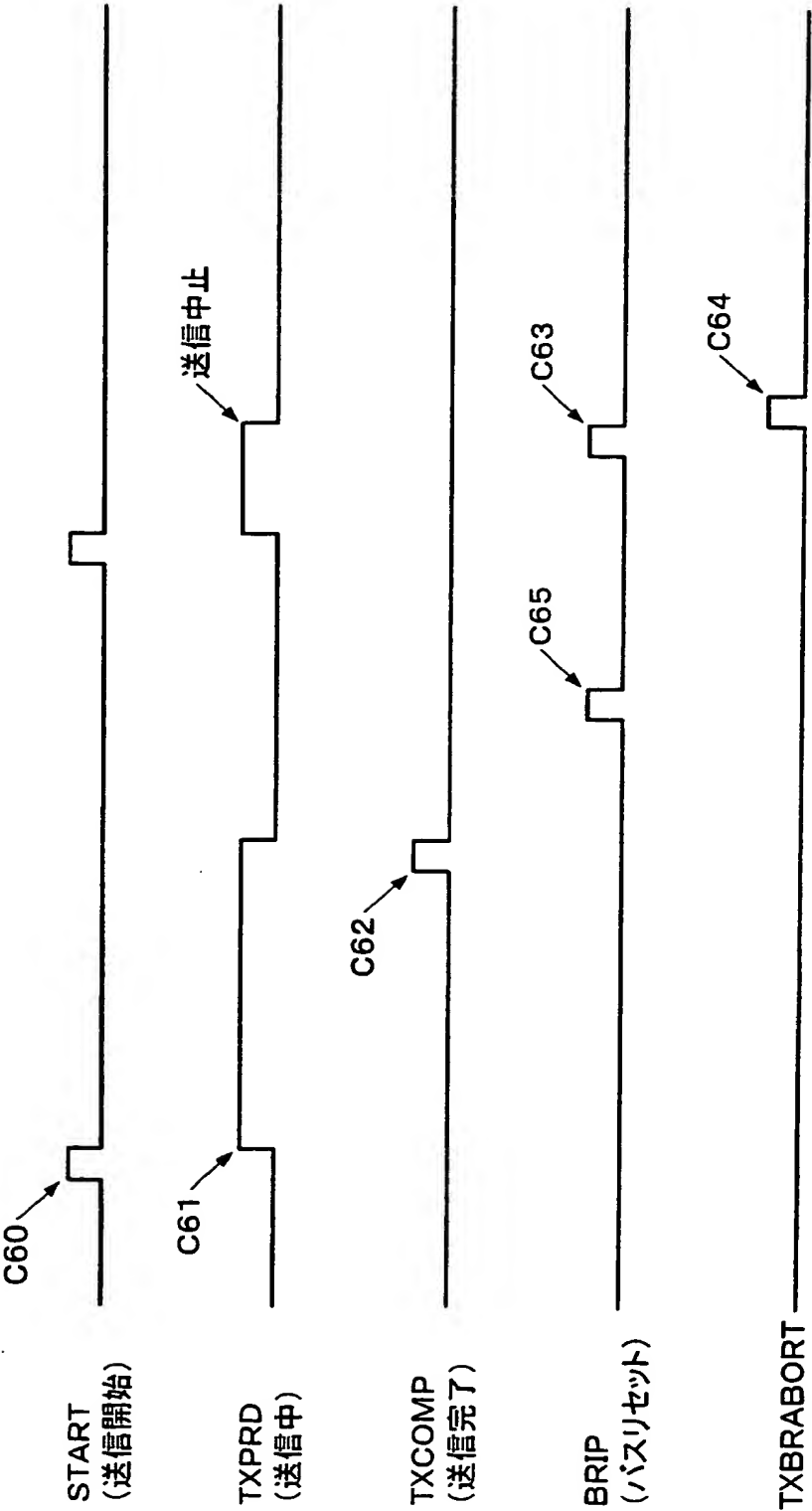
25/28

FIG.25



THIS PAGE BLANK (USPTO)

FIG.26



THIS PAGE BLANK (USPTO)

27/28

FIG.27A

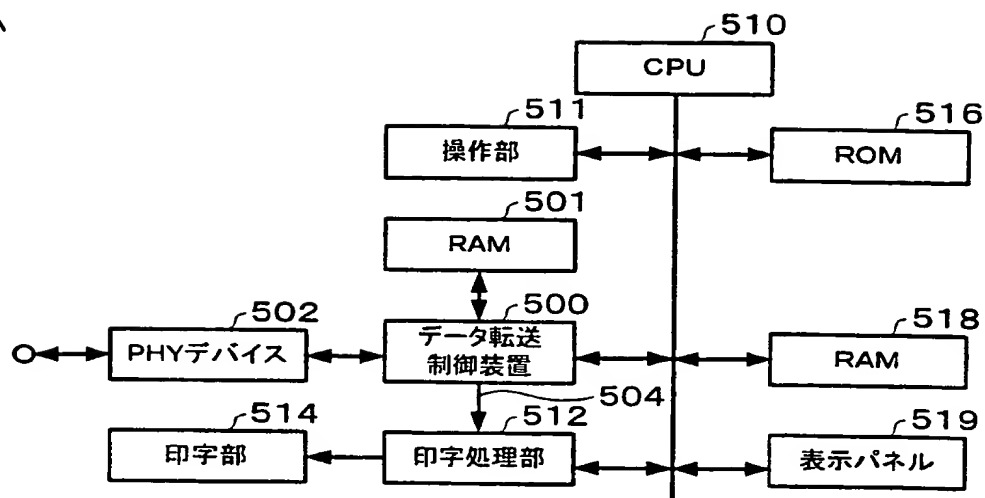


FIG.27B

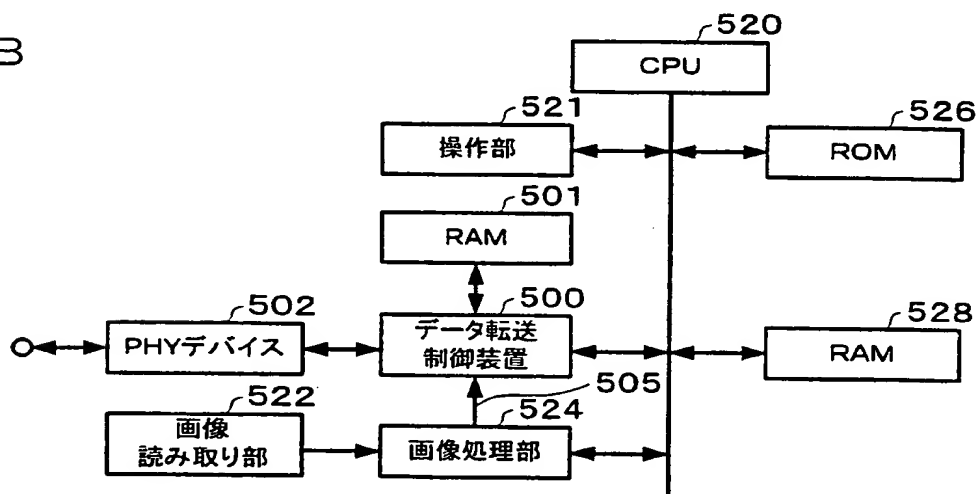
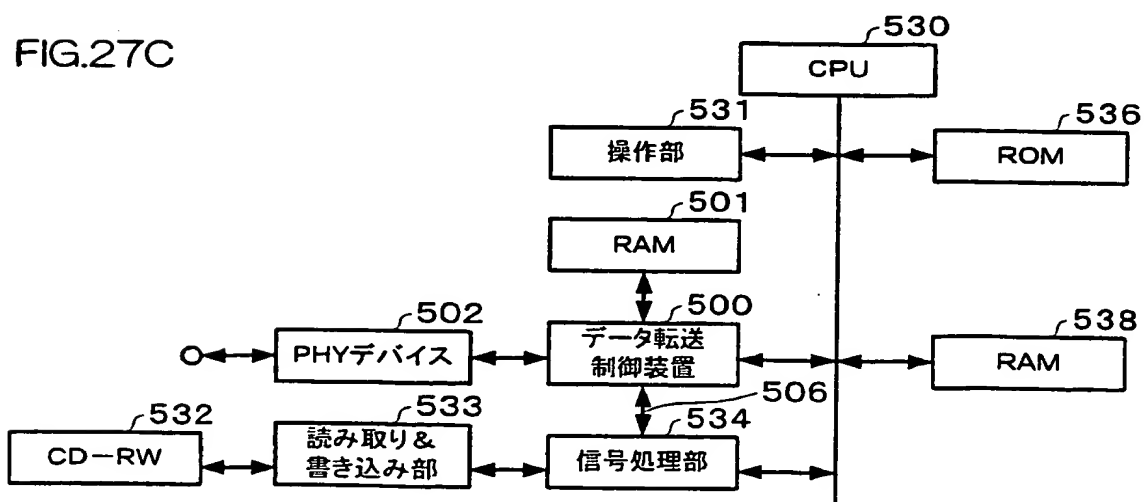


FIG.27C



THIS PAGE BLANK (USP10)

28/28

FIG.28A

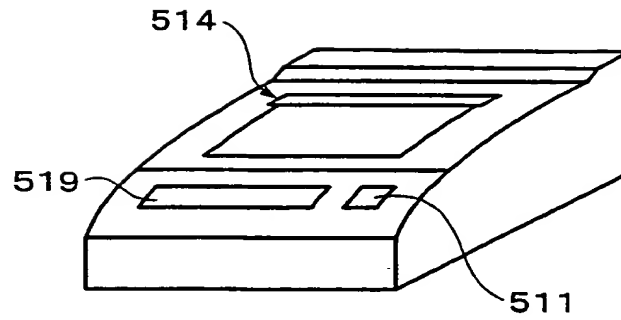


FIG.28B

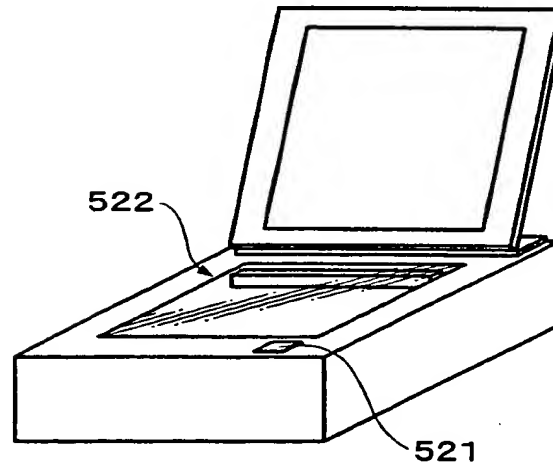
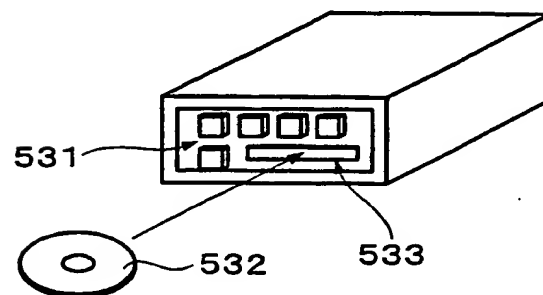


FIG.28C



THIS PAGE BLANK (USPTO)

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/04637

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H04L 12/28
H04L 29/00

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H04L 12/28
H04L 29/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Kokai Jitsuyo Shinan Koho 1971-2000
Jitsuyo Shinan Koho 1926-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI (DIALOG), JICST FILE (JOIS)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PA	EP, 939530, A2 (CANON K.K.), 01 September, 1999 (01.09.99) & CN, 1234671, A & JP, 2000-32005, A & JP, 2000-32010, A & KR, 99072916, A See Fig. 8, etc. (808 : System of the resending discrimination bit)	1-23
PA	EP, 1006449, A2 (CANON K.K.), 07 June, 2000 (07.06.00), & JP 2000-172457, A (Example of an interface which guarantees transmission when a bus reset occurs.)	1-23
PA	WO, 00/25215, A1 (SEIKO EPSON CORP.), 04 May, 2000 (04.05.00) & JP, 2000-134229, A (Pointer system on RAM, etc.)	1-23

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

- "I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
- "&" document member of the same patent family

Date of the actual completion of the international search
10 October, 2000 (10.10.00)

Date of mailing of the international search report
24 October, 2000 (24.10.00)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

THIS PAGE BLANK (USPTO)

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H04L 12/28
H04L 29/00

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H04L 12/28
H04L 29/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国公開実用新案公報 1971-2000
日本国実用新案公報 1926-2000

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

WPI (DIALOG), JICST ファイル (JOIS)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
PA	EP, 939530, A2 (CANON K.K.) 01.09 月 .1999 (01.09.99) & CN, 1234671, A & JP, 2000-32005, A & JP, 2000-32010, A & KR, 99072916, A 第8図等参照 (808: 再送識別ビットの構成)	1-23
PA	EP, 1006449, A2 (CANON K.K.) 07.06 月 .2000 (07.06.00) & JP 2000-172457, A (バスリセットが生じて、送信の保証を するインタフェースの例)	1-23
PA	WO, 00/25215, A1 (SEIKO EPSON CORP.) 04.05 月 .2000 (04. 05.00) & JP, 2000-134229, A (RAM 上のポインタ構成など)	1-23

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

10.10.00

国際調査報告の発送日

24.10.00

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
郵便番号 100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

猪瀬 隆広



5 X

9560

電話番号 03-3581-1101 内線 3594

THIS PAGE BLANK (USPIC)

PCT REQUEST

EPPC-2595

Original (for SUBMISSION) - printed on 14.03.2001 10:03:27 AM

0	For receiving Office use only	
0-1	International Application No.	
0-2	International Filing Date	
0-3	Name of receiving Office and "PCT International Application"	
0-4	Form - PCT/RO/101 PCT Request	
0-4-1	Prepared using	PCT-EASY Version 2.91 (updated 01.01.2001)
0-5	Petition The undersigned requests that the present international application be processed according to the Patent Cooperation Treaty	
0-6	Receiving Office (specified by the applicant)	Japanese Patent Office (RO/JP)
0-7	Applicant's or agent's file reference	EPPC-2595
I	Title of invention	DATA TRANSFER CONTROL DEVICE AND ELECTRONIC EQUIPMENT
II	Applicant	
II-1	This person is:	applicant only
II-2	Applicant for	all designated States except US
II-4	Name	SEIKO EPSON CORPORATION
II-5	Address:	4-1, Nishi-shinjuku 2-chome Shinjuku-ku, Tokyo 163-0811 Japan
II-6	State of nationality	JP
II-7	State of residence	JP
II-8	Telephone No.	03-3348-3114
II-9	Facsimile No.	03-3340-4258
III-1	Applicant and/or inventor	
III-1-1	This person is:	applicant and inventor
III-1-2	Applicant for	US only
III-1-4	Name (LAST, First)	Takuya, ISHIDA
III-1-5	Address:	c/o SEIKO EPSON CORPORATION 3-5, Owa 3-chome Suwa-shi, Nagano 392-8502 Japan
III-1-6	State of nationality	JP
III-1-7	State of residence	JP

THIS PAGE BLANK (USPTO)

PCT REQUEST

EPPC-2595

Original (for SUBMISSION) - printed on 14.03.2001 10:03:27 AM

III-2	Applicant and/or inventor	
III-2-1	This person is:	applicant and inventor
III-2-2	Applicant for	US only
III-2-4	Name (LAST, First)	KAMIHARA, Yoshiyuki
III-2-5	Address:	c/o SEIKO EPSON CORPORATION 3-5, Owa 3-chome Suwa-shi, Nagano 392-8502 Japan
III-2-6	State of nationality	JP
III-2-7	State of residence	JP
IV-1	Agent or common representative; or address for correspondence	
	The person identified below is hereby/has been appointed to act on behalf of the applicant(s) before the competent International Authorities as:	agent
IV-1-1	Name (LAST, First)	INOUE, Hajime
IV-1-2	Address:	2nd Floor, Ogikubo Bldg., 26-13, Ogikubo 5-chome Suginami-ku, Tokyo 167-0051 Japan
IV-1-3	Telephone No.	03-5397-0891
IV-1-4	Facsimile No.	03-5397-0893
IV-1-5	e-mail	MXJ00663@nifty.ne.jp
IV-2	Additional agent(s)	
		additional agent(s) with same address as first named agent
IV-2-1	Name(s)	FUSE, Yukio; OFUCHI, Michie
V	Designation of States	
V-1	Regional Patent (other kinds of protection or treatment, if any, are specified between parentheses after the designation(s) concerned)	EP: AT BE CH&LI CY DE DK ES FI FR GB GR IE IT LU MC NL PT SE and any other State which is a Contracting State of the European Patent Convention and of the PCT (except TR)
V-2	National Patent (other kinds of protection or treatment, if any, are specified between parentheses after the designation(s) concerned)	CN KR US

THIS PAGE BLANK (USPTO)

PCT REQUEST

EPPC-2595

Original (for SUBMISSION) - printed on 14.03.2001 10:03:27 AM

V-5	Precautionary Designation Statement In addition to the designations made under items V-1, V-2 and V-3, the applicant also makes under Rule 4.9(b) all designations which would be permitted under the PCT except any designation(s) of the State(s) indicated under item V-6 below. The applicant declares that those additional designations are subject to confirmation and that any designation which is not confirmed before the expiration of 15 months from the priority date is to be regarded as withdrawn by the applicant at the expiration of that time limit.		
V-6	Exclusion(s) from precautionary designations	NONE	
VI-1	Priority claim of earlier national application		
VI-1-1	Filing date	15 July 1999 (15.07.1999)	
VI-1-2	Number	11-201248	
VI-1-3	Country	JP	
VII-1	International Searching Authority Chosen	Japanese Patent Office (JPO) (ISA/JP)	
VIII	Check list	number of sheets	electronic file(s) attached
VIII-1	Request	4	-
VIII-2	Description	37	-
VIII-3	Claims	5	-
VIII-4	Abstract	1	-
VIII-5	Drawings	28	-
VIII-7	TOTAL	75	
	Accompanying items	paper document(s) attached	electronic file(s) attached
VIII-8	Fee calculation sheet	✓	-
VIII-16	PCT-EASY diskette	-	diskette
VIII-18	Figure of the drawings which should accompany the abstract	<no.>	
VIII-19	Language of filing of the international application	Japanese	
IX	Signature of applicant or agent		
IX-1	Name (LAST, First)		
IX-2	Capacity		

FOR RECEIVING OFFICE USE ONLY

10-1	Date of actual receipt of the purported international application	
10-2	Drawings:	
10-2-1	Received	
10-2-2	Not received	
10-3	Corrected date of actual receipt due to later but timely received papers or drawings completing the purported international application	

THIS PAGE BLANK (USP18)

PCT REQUEST

EPPC-2595

Original (for SUBMISSION) - printed on 14.03.2001 10:03:27 AM

10-4	Date of timely receipt of the required corrections under PCT Article 11(2)	
10-5	International Searching Authority	ISA/JP
10-6	Transmittal of search copy delayed until search fee is paid	

FOR INTERNATIONAL BUREAU USE ONLY

11-1	Date of receipt of the record copy by the International Bureau	
------	--	--

THIS PAGE BLANK (04/12/)